



中信证券  
CITIC SECURITIES

## AI 驱动下的 2.5D/3D 先进封装市场格局梳理

电子行业半导体先进封装行业专题 | 2024.8.25

中信证券研究部

核心观点



徐涛  
科技产业联席首席  
分析师  
S1010517080003



王子源  
半导体分析师  
S1010521090002

先进封装技术是 AI 底层驱动技术中的一大重要发展方向，并且成为当前重要的产能瓶颈。当前全球厂商中台积电、英特尔、三星等前道厂商占据领先地位，封测厂商积极跟随。国内企业中，中芯国际、武汉新芯、通富微电、华天科技、甬矽电子等企业均有布局跟进。先进封装技术已成为“后摩尔时代”“超越摩尔”的重要路径。建议关注布局先进封装技术的制造和封测企业以及供应链相关设备厂商。

■ 先进封装是 AI 进步的底层驱动技术中的一大重要发展方向。AI 的发展主要归功于三个因素：高效机器学习算法的创新、训练神经网络的大量数据的可用性，以及通过半导体技术的进步实现节能计算的进步。在硬件层面，AI 需要更多计算、更多存储、更高带宽。除了先进制程的技术节点持续推进之外，CoWoS (2.5D)、SoIC (3D)、HBM 等各类先进封装所发挥的作用愈发凸显，并且也成为当前重要的产能瓶颈。例如，台积电的 CoWoS 产能成为过去一年制约英伟达 AI 芯片供应的最大瓶颈。台积电在 2024 年第二季度法说会上表示，尽管 2024 年 CoWoS 产能翻倍，仍然无法完全满足客户的强劲需求，2025 年其 CoWoS 产能有望再度翻倍。

■ 从当前前道制造厂商 (Foundry) 2.5/3D 封装技术布局情况来看，三家头部厂商的龙头集中效应仍然明显。前道厂商除了继续按照摩尔定律往下发展的“深度摩尔定律” (More Moore) 继续推进芯片制程的迭代演进之外，也早已探索“超越摩尔定律” (More than Moore) 的路线，其中 2.5D/3D 先进封装是必由之路。自台积电于 2011 年推出 CoWoS 2.5D 封装平台以来，其基本上代表了 2.5D/3D 先进封装技术的领先水平，Intel 的先进封装技术平台布局与台积电基本对应，同台竞技，三星紧随其后。第二梯队晶圆厂未公开发布完整的 2.5D/3D 解决方案，但大多在混合键合、3D 堆叠技术方面具备相关经验。联电在 W2W 混合键合方面具备相关技术能力，已推出射频 3D 封装解决方案。中芯国际在 CIS 等领域的混合键合具有丰富经验，在 2.5D 和 3D 领域进行了较为全面的研发布局。武汉新芯是国内较早布局 3D IC 技术的企业，具备混合键合工艺的丰富量产经验。前道晶圆厂大多在前道相关的混合键合等 3D 技术方面着墨较多，与封测厂更多聚焦 2.5D 技术形成差异化。

■ 封测厂商积极布局跟进 2.5D 封装技术，3D 更多处于研发阶段。日月光、安靠 在 2.5D 封装领域布局较早，产品组合对标台积电、英特尔等厂商。中国大陆封测企业持续发力，盛合晶微较早布局硅中介层的 2.5D 封装，长电科技、通富微电在有机 RDL 中介层方案上较为领先，同时均布局了硅桥方案。华天科技则提供了一种差异化的、具有高度自主创新性的 eSinC 技术，同时正在研发基于硅中介层 2.5D 方案。甬矽电子近期也开展了 2.5D 的研发和产业化，公司在 2.5D 相关的高密度微凸块和 RDL 方面具有扎实的技术积累。总体而言，考虑到技术积累路径因素，封测厂商在 2.5D 领域以有机 RDL 方案布局较多，硅中介层方案需与晶圆厂配合协同，同时封测厂也可以承接前道晶圆厂的 oS 和测试订单，因此前道后道厂商仍然主要表现为分工配合的模式。由于 2.5D/3D 方案具有较高程度定制特征、需要较强的设计方案整合能力，头部客户的牵引促进作用不可忽视。

■ 从未来发展趋势来看，更小间距、更高密度，工艺演进带来设备迭代。2.5D/3D 封装的技术方向是不断减小连接点间距、提高连接点密度，以便支持更高带宽。同时由于 AI 芯片的芯片尺寸增加，整体封装面积也向更大尺寸发展，由此带来边缘翘曲、散热等多方面问题，需要新工艺设备解决。互连工艺从以往的 Mass Reflow 走到 TCB 到走向 Hybrid Bonding，一代设备、一代工艺，设备跟随工艺

电子行业

评级

强于大市 (维持)

迭代继续演进。互连工艺设备相关厂商主要集中于海外，如 ASM Pacific、Kulicke & Soffa（库力索法半导体）、Besi、EVG 等，国内拓荆科技等企业也有所布局。同时由于先进封装设备前道化，在扇出和凸块工艺设备方面，北方华创、中微公司、盛美上海、芯源微、华海清科等企业均有涉足。

■ **风险因素：**全球宏观经济低迷风险；下游需求不及预期；创新不及预期；技术研发不及预期；国际产业环境变化和贸易摩擦加剧风险；汇率大幅波动等。

■ **投资策略。**先进封装是当前半导体行业发展的明确技术方向，随着高性能计算的发展，相关需求有望持续增长，同时对国产化提出了更高要求。（1）**先进封装发展由于需要较高的技术门槛和资本投入，聚焦头部企业。**以国内技术完整性及能力来看，建议优先关注中芯国际、长电科技、通富微电、华天科技、甬矽电子等。此外，海外晶圆制造巨头引领先进封装行业，国际厂商可重点关注台积电，英特尔、联电、日月光、安靠等亦有相关布局。（2）**设备打入供应链，推荐细分龙头及国产替代。**先进封装设备需求包括刻蚀机、光刻机、PVD/CVD、涂胶显影设备、清洗设备、测试机等，国内的厂商仍在快速发展阶段，当前建议关注北方华创、拓荆科技、盛美上海、中微公司、芯源微、华海清科等。此外，目前仍然是海外巨头把持高端 2.5D/3D 封装设备市场，国际厂商可关注库力索法半导体、ASM Pacific、Besi、Camtek 等。

018ea7e21189d4df93bf0069aac68203

## 目录

|                                                   |           |
|---------------------------------------------------|-----------|
| 先进封装进步推动人工智能革命，市场持续扩张.....                        | 6         |
| 先进封装重要性：持续驱动 AI 进步，2.5D/3D 封装为关键方案 .....          | 6         |
| 先进封装稀缺性：2.5D/3D 封装产能已成为 AI 芯片产能的重要瓶颈.....         | 7         |
| 市场空间：2.5D/3D 先进封装市场约 92 亿美元，未来空间广阔 .....          | 8         |
| <b>2.5D/3D 先进封装的技术路线图：持续缩小 I/O 间距和线宽线距 .....</b>  | <b>9</b>  |
| 更小间距、更高密度：凸块或键合间距可以作为衡量 2.5D/3D 先进封装能力的重要指标 ..... | 9         |
| 更先进工艺：2.5D/3D 封装所采用的 Bump 互联技术持续迭代 .....          | 11        |
| 设备前道化：2.5D/3D 封装的凸点制造设备呈现前道化趋势 .....              | 13        |
| <b>前道制造厂商（Foundry）2.5/3D 封装技术布局情况.....</b>        | <b>14</b> |
| 台积电：异质集成标杆企业，英伟达、AMD、苹果主力供应商 .....                | 15        |
| Intel：业界领先，已大规模应用于自身处理器产品线 .....                  | 16        |
| 三星：2.5D 及 3D 技术对齐台积电与英特尔.....                     | 19        |
| 联电：提供 2.5D 中介层，布局 3D 混合键合 .....                   | 21        |
| 中芯国际：CIS 等领域混合键合具有丰富经验，并提供 2.5D 和 3D 方案.....      | 23        |
| 武汉新芯：国内较早布局 3D 技术，主打 3DLink 平台 .....              | 24        |
| <b>封装厂商 2.5D/3D 封装技术布局情况 .....</b>                | <b>25</b> |
| 日月光：封测行业 2.5D 技术领先厂商 .....                        | 25        |
| 安靠：具备业内领先的 2.5D 先进封装能力.....                       | 26        |
| 国内厂商：头部厂商积极布局 2.5D/3D 封装.....                     | 27        |
| <b>总结及投资策略.....</b>                               | <b>32</b> |
| <b>风险因素 .....</b>                                 | <b>33</b> |

c7f3244706b8ecf8c1705e8abb9ea918

## 插图目录

|                                                                                |    |
|--------------------------------------------------------------------------------|----|
| 图 1：半导体技术进步驱动 AI 革命 .....                                                      | 6  |
| 图 2：3D 异质集成延续摩尔定律 .....                                                        | 7  |
| 图 3：2023 年先进封装市场规模与各类型下游需求的复杂对应关系 .....                                        | 8  |
| 图 4：2019-2029 2.5D/3D 先进封装路线图：I/O 间距（Pitch）和 RDL 线宽线距（L/S, Length/Space） ..... | 10 |
| 图 5：TSMC 各类先进封装及 SoIC 平台参数对比 .....                                             | 10 |
| 图 6：台积电 SoIC 结构图 .....                                                         | 11 |
| 图 7：台积电各先进封装平台 Bump Pitch 及密度对应关系 .....                                        | 11 |
| 图 8：不同凸点间距要求下所采用的 Bump 互联技术 .....                                              | 11 |
| 图 9：封装互联工艺持续更新，带来引脚密度和准确性的大幅提升 .....                                           | 12 |
| 图 10：封装互联工艺迭代，对应连接点间距缩小、密度提升的技术趋势 .....                                        | 12 |
| 图 11：前段、中段、后段工艺的分类——中段工艺处于晶圆代工厂和封装测试厂的交叉处 .....                                | 13 |
| 图 12：传统封装工艺与先进封装凸块制作工艺对比 .....                                                 | 13 |
| 图 13：2.5D/3D 高性能封装分类（2023 年） .....                                             | 14 |
| 图 14：台积电 SoIC：整合前道和后道异质集成技术，带来更大灵活性 .....                                      | 16 |
| 图 15：TSMC 通过先进制程+3D Fabric（3D 异质集成技术），在系统层面扩展晶体管规模 .....                       | 16 |
| 图 16：Intel 先进封装路线图 .....                                                       | 18 |
| 图 17：Intel 在先进制程节点上的路线图 .....                                                  | 18 |
| 图 18：Intel 与 TSMC 在新型晶体管和背面供电技术的时间表 .....                                      | 19 |
| 图 19：传统正面供电 与 Intel 的背面供电技术 PowerVia 对比 .....                                  | 19 |
| 图 20：三星提出利用 SAINT-S 技术打造 3D SRAM 堆叠 .....                                      | 21 |
| 图 21：三星 MBCFET 晶体管及采用背面供电技术 .....                                              | 21 |
| 图 22：联电的 UMC+OSAT 合作 2.5D 解决方案 .....                                           | 22 |
| 图 23：联电 RFSOI 制程 3D IC 方案 .....                                                | 22 |
| 图 24：中芯国际在 CIS 领域布局混合键合工艺（WoW） .....                                           | 23 |
| 图 25：中芯国际在 2.5D 和 3D 先进封装提供相关解决方案 .....                                        | 24 |
| 图 26：紫光国芯的异质集成嵌入式 DRAM 平台，由武汉新芯进行逻辑芯片及混合键合异质集成代工 .....                         | 24 |
| 图 27：日月光 VIPack 先进封装平台由六大核心技术组成，并通过整合设计生态系统协同合作 .....                          | 25 |
| 图 28：安靠提供的 2.5D TSV 产品生产能力 .....                                               | 27 |
| 图 29：通富微电 ViSionS 先进封装技术平台 .....                                               | 29 |
| 图 30：通富微电的国产 Chiplet 产品 .....                                                  | 29 |
| 图 31：华天科技三维晶圆级封装平台——3DMatrix .....                                             | 30 |
| 图 32：华天科技三维系统集成封装技术平台：eSinC 技术 .....                                           | 31 |
| 图 33：华天科技 eSinC 先进封装技术与其他厂商对比 .....                                            | 31 |
| 图 34：甬矽电子具备 Bumping 和晶圆级封装能力，借助双面 Fan-out 和 TSV 可实现 2.5D/3D 晶圆级封装 .....        | 32 |

## 表格目录

|                                    |    |
|------------------------------------|----|
| 表 1：台积电先进封装厂区分布情况 .....            | 7  |
| 表 2：全球先进封装主要玩家 .....               | 8  |
| 表 3：台积电 2.5D/3D 先进封装技术平台分类 .....   | 15 |
| 表 4：Intel 2.5D/3D 先进封装技术平台分类 ..... | 17 |
| 表 5：三星 2.5D/3D 先进封装技术平台分类 .....    | 20 |
| 表 6：日月光 2.5D/3D 先进封装技术平台分类 .....   | 26 |
| 表 7：安靠 2.5D/3D 先进封装技术平台分类 .....    | 27 |
| 表 8：国内厂商 2.5D/3D 先进封装技术平台分类 .....  | 27 |

43dfbe165a92bfb5cdf50ff81e9ecb95

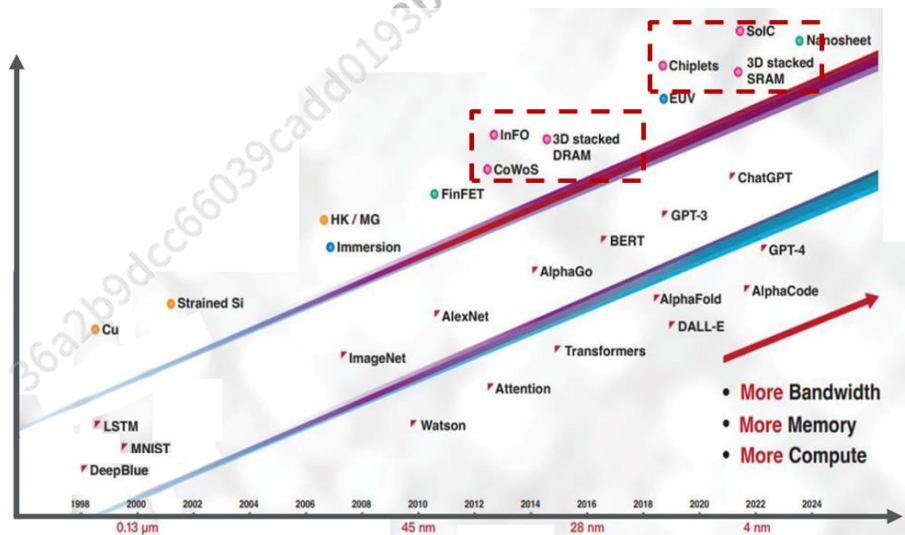


## ■ 先进封装进步推动人工智能革命，市场持续扩张

### 先进封装重要性：持续驱动 AI 进步，2.5D/3D 封装为关键方案

半导体技术是 AI 进步的底层驱动技术，先进封装则是半导体技术发展的重要增量方向。AI 的发展主要归功于三个因素：高效机器学习算法的创新、训练神经网络的大量数据的可用性，以及通过半导体技术的进步实现节能计算的进步。AI 需要**更多计算、更多存储、更高带宽**，半导体技术则是基础设施进步的底层支撑。以台积电为例，过去几年间经历了光刻技术进步（EUV），以及目前正在进行的晶体管结构改变（GAA Nanosheet 等），这些带动先进制程的技术节点持续推进，除此之外，InFO、CoWoS、3D 堆叠 DRAM、Chiplets、3D 堆叠 SRAM、SoIC 等先进封装和系统层面技术陆续导入，其发挥的作用愈发凸显。

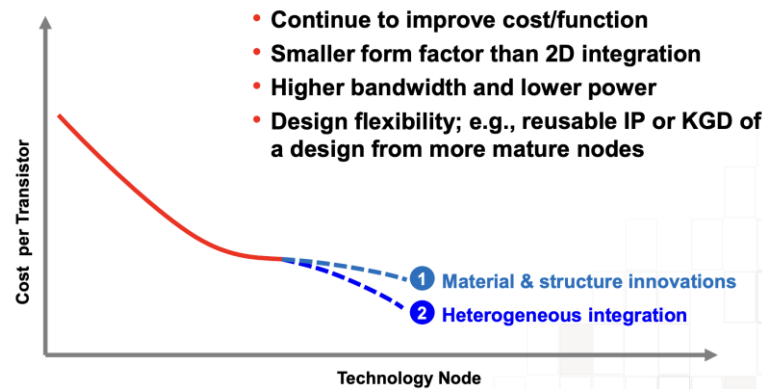
图 1：半导体技术进步驱动 AI 革命



资料来源：TSMC at IEDM 2023, Dec 12

先进封装已成为半导体创新、增强功能、性能和成本效益的关键，台积电、英特尔和三星等大公司正在采用 Chiplets 和异构集成的方法，利用先进封装推进行业技术发展。通过将 SoC 芯片分割成多个裸片，并使用 2.5D 或 3D 封装将它们集成在一起，可以提高芯片良率、产量并降低成本。**3D 异质集成在材料和结构创新之外，提供了进一步提高性能的解决方案，同时可以带来更高带宽和更优的功耗。**在传统的芯片结构创新和材料出行新之外，3D 集成可以带来晶体管成本的进一步降低，并带来芯片设计更大的灵活性。

图 2：3D 异质集成延续摩尔定律



资料来源：TSMC at IEDM 2023, Dec 12

## 先进封装稀缺性：2.5D/3D 封装产能已成为 AI 芯片产能的重要瓶颈

先进封装成为 AI 发展的重要产能瓶颈。台积电的 CoWoS 产能成为过去一年制约英伟达 AI 芯片供应的最大瓶颈。台积电在 2024 年第一季度业绩说明会上表示，尽管 2024 年 CoWoS 产能翻倍，仍然无法完全满足客户的强劲需求，因此也与外包封装测试 (OSAT) 厂商合作将 CoWoS 中的 oS 流程外协生产。根据 Digitimes，台积电 CoWoS 封装的产能在 2023Q1 仅 8000 片/月，2024Q1 达 1.5 万片/月，到 2024 年底将至少达到 3.2 万片/月，到 2025 年底将至少增加到 4.4 万片/月；SoIC 产能在 2023 年月产不到 2000 片（主要客户 AMD），2024 年底有望达到 6000~6500 片，2025 年有望达 1.4~1.45 万片（增量客户 Apple、NVIDIA 等）。

表 1：台积电先进封装厂区分布情况

| 厂区              | 地址             | 时间                            | 制程                         |
|-----------------|----------------|-------------------------------|----------------------------|
| 先进封测一厂          | 新竹市 新竹科学园区     |                               | 测试及后段封装                    |
| 先进封测二厂          | 台南市 南部科学园区     | 2010 年量产，2020 年扩建二期           | 测试及前段 3D Fabric（接收龙潭 InFO） |
| 先进封测三厂          | 桃园市 新竹科学园区龙潭园区 |                               | 3D Fabric（扩充 CoWoS）        |
| 先进封测五厂          | 台中市 中部科学园区     |                               | 测试及后段封装（扩建后段 oS）           |
| 先进封测六厂          | 苗栗县 新竹科学园区竹南园区 | 2020 年动工，2023 年 6 月启用         | 3D Fabric、SoIC             |
| 铜锣科学园区先进封装厂（拟建） | 苗栗县 新竹科学园区铜锣园区 | 2024H2 动工，2026 年底完工，2027Q3 量产 | 3D Fabric（SoIC、InFO、CoWoS） |
| 嘉义科学园区先进封装厂（拟建） | 嘉义县 南部科学园区嘉义园区 | 2024 年动工，2026 年完工，2028 年量产    |                            |

资料来源：台积电官网，台湾经济日报，台湾工商时报，中信证券研究部

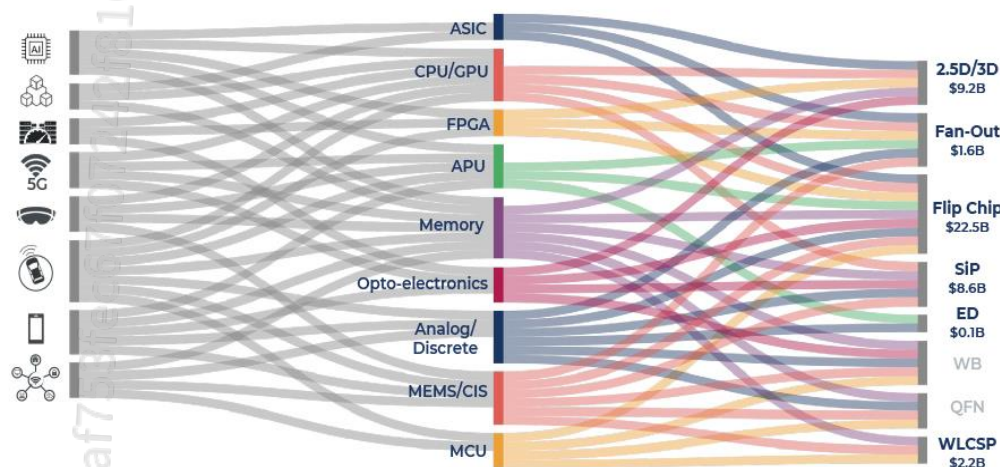
台积电表示 2025 年 CoWoS 产能将在 2024 年基础上再次翻番。在台积电 2024 年第二季度业绩说明会上，台积电董事长兼总裁魏哲家再次表示，由于 AI 需求高企，台积电的 2.5D 封装平台 CoWoS 产能仍然是供应非常紧张，2025 年台积电的 CoWoS 产能希望在 2024 年基础上再次翻倍。由于台积电更加聚焦 CoWoS 中的前段 CoW（Chip on Wafer）工艺，其后段 oS（on Substrate）工艺部分外包给封装测试厂商承担，可见前道制造企业

与封测企业在先进封装工艺配合上有较大的合作空间。

## 市场空间：2.5D/3D 先进封装市场约 92 亿美元，未来空间广阔

全球先进封装市场空间在 2022 年约 443 亿美元，其中 2.5D/3D 约占 20%，到 2028 年先进封装市场有望达到 780 亿美元。根据 Yole，2022 年全球先进封装行业的市场规模为 443 亿美元，Yole 预计到 2028 年，该市场规模将超过 780 亿美元，2022 年至 2028 年期间的复合年增长率为 10.6%。其中市场的主要贡献者是倒装芯片（Flip Chip）、2.5D/3D 和 SiP，这三种技术在先进封装总市场占比超过 90%；2.5D/3D 封装约占 20%，截至 2023 年的全球市场规模约为 92 亿美元。

图 3：2023 年先进封装市场规模与各类型下游需求的复杂对应关系



资料来源：Yole

晶圆代工厂与封测厂（OSAT）均入局先进封装市场，其中晶圆代工厂通常关注密度最高、工艺最难部分，封测厂关注广泛、先进封装各领域皆有包含。各大晶圆代工厂为了增加市场竞争力，早已开始布局先进封装，以晶圆代工大厂台积电为例，其在 2015 年推出的 InFO 封装技术独揽苹果 A10 处理器订单，带动了业界对扇出型堆叠技术的热潮，之后也陆续推出 CoWoS-L、SoIC 等封装技术，三星推出了以 3D-TSV 技术为核心的 X-Cube 等一系列先进封装技术，Intel 推出混合键合(Hybrid bonding)概念等。封测厂包括日月光、长电等头部玩家，也都在积极布局 2.5D/3D 封装，在晶圆代工厂都能找到相对应的产品。由于 2.5D/3D 封装技术中涉及前道工序的延续，晶圆代工厂出于其对前段制程的了解，于整体布线的架构掌握性更高，因此在密度高的封装上，比传统封测厂优势更大。而传统封装厂善于后道封装，有异质异构的集成优势，因此在多功能性基板整合组件方面（比如 SiP 封装）占据主要市场份额。传统封测企业目前也开始以前道制程的标准建设工厂，积极入局 2.5D/3D 封装市场。

表 2：全球先进封装主要玩家

| 公司  | 地区   | 定位              | 先进封装                                                         |
|-----|------|-----------------|--------------------------------------------------------------|
| 台积电 | 中国台湾 | 晶圆代工厂 (Foundry) | 以 2.5D、3D、晶圆级封装为主，对 3D IC 技术平台进行整合成 3D Fabric，有全球最顶尖立体结构封测技术 |
| 三星  | 韩国   | IDM             | 以 2.5D、3D、晶圆级封装为主，设立 SAFE 主攻先                                |



| 公司   | 地区   | 定位        | 先进封装                                                       |
|------|------|-----------|------------------------------------------------------------|
|      |      |           | 进封装技术，以 3D-TSV 技术为核心开发一系列技术                                |
| 英特尔  | 美国   | IDM       | 以 2.5D、3D、晶圆级封装为主，推出混合键合 (Hybrid bonding) 概念，围绕异质整合及堆叠开发技术 |
| 日月光  | 中国台湾 | 封测厂(OSAT) | SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，为封测厂中技术涵盖最全且能力最强的厂商           |
| 安靠   | 美国   | 封测厂(OSAT) | SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，SiP 封装在消费及汽车电子大放异彩            |
| 长电科技 | 中国大陆 | 封测厂(OSAT) | SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，SiP 封装及 2.5/3D 为其重点发展目标       |
| 力成科技 | 中国台湾 | 封测厂(OSAT) | SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，以存储器封装为主                      |
| 通富微电 | 中国大陆 | 封测厂(OSAT) | SiP、2.5D/3D、晶圆级封装等均有涵盖，以 CPU/GPU/服务器/射频/存储等为主              |
| 华天科技 | 中国大陆 | 封测厂(OSAT) | SiP、2.5D/3D、晶圆级封装等均有涵盖，以 SiP、Fan-Out、Flip-Chip 技术为主        |
| 甬矽电子 | 中国大陆 | 封测厂(OSAT) | SiP、FC、2.5D/3D、晶圆级封装等均有涵盖，以 SoC/射频等为主。                     |
| 晶方科技 | 中国大陆 | 封测厂(OSAT) | SiP、2.5D/3D、晶圆级封装等均有涵盖，以 TSV 技术为基础的 CIS 封装为主               |

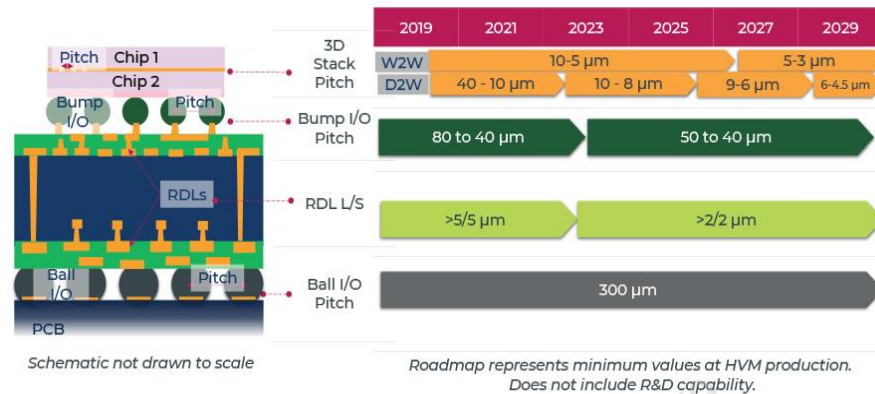
资料来源：各公司公告，中信证券研究部

## ■ 2.5D/3D 先进封装的技术路线图：持续缩小 I/O 间距和线宽线距

**更小间距、更高密度：凸块或键合间距可以作为衡量 2.5D/3D 先进封装能力的重要指标**

2.5D/3D 先进封装路线图方向是不断缩小 I/O 间距和 RDL 线宽线距。Chiplets 和异构集成将多个小芯片集成在一起，在此过程中需要不断缩小凸块间距（Bump Pitch）或键合间距（Bond Pitch），不断缩小 RDL 线宽线距，以此实现在同等面积下更大引脚密度的封装，从而提高芯片互联的带宽。目前 2.5D 封装的凸块间距（Bump Pitch）业界领先水平可以达到 40  $\mu\text{m}$  到 50  $\mu\text{m}$ （台积电 CoWoS）。未来混合键合（HB，Hybrid Bonding）是另一个重要趋势，它能够以小于 10  $\mu\text{m}$  的键合间距（Bond Pitch）实现金属-金属和氧化物-氧化物面对面堆叠，目前主要用于晶圆到晶圆（W2W）的 3D 堆叠，用于 CIS 和 3D NAND 堆叠等应用，并且正在为 PC、HPC 的算力芯片 3D SoC 堆叠以及 HBM 堆叠等进行持续开发。

图 4：2019-2029 2.5D/3D 先进封装路线图：I/O 间距（Pitch）和 RDL 线宽线距（L/S，Length/Space）



Bump I/O pitch is scaling much faster than Ball I/O pitch which drives a finer RDL L/S at IC substrate package level.

资料来源：Yole

技术指标来看，凸块或键合间距（Bump/Bond pitch）可以作为评价 2.5D/3D 先进封装一个重要技术指标，以台积电为例，凸块或键合间距随着技术平台的进步而持续缩小，连接密度对应提升。早期 BGA 封装的凸点间距在 1000 微米左右。传统 MCM 封装（例如 AMD Ryzen 和 EPYC 系列使用的多芯片模组）采用 Mass Reflow 工艺，凸块间距（Bump Pitch）大约在 130 微米。CoWoS 封装（例如 NVIDIA H100 等采用）和 InFO（例如苹果 A 系列手机主芯片采用）的凸块间距（Bump Pitch）缩小到 40 微米左右，TSMC 的 SoIC 平台的键合间距（Bond Pitch）可以达到 10 微米以下（采用 Hybrid bonding 混合键合）。整体代表了当前业界量产的前沿水平。

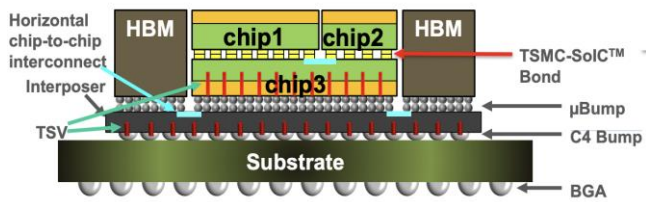
图 5：TSMC 各类先进封装及 SoIC 平台参数对比

|                        | MCM               | CoWoS®             | InFO             | TSMC-SoIC™         |
|------------------------|-------------------|--------------------|------------------|--------------------|
| I/O Circuits           | GPIO              | HBM PHY, LIPINCON™ | LIPINCON™        | Lite I/O           |
| Bump/Bond Pitch        | 130 $\mu\text{m}$ | 40 $\mu\text{m}$   | 40 $\mu\text{m}$ | < 10 $\mu\text{m}$ |
| Trace Length           | 10 ~ 20 mm        | 0.5 ~ 10 mm        | 1 mm             | 0.01 mm            |
| Channel Insertion Loss | High              | Medium             | Medium           | Low                |
| Power Efficiency       | Low               | Medium             | Medium           | High               |

资料来源：TSMC

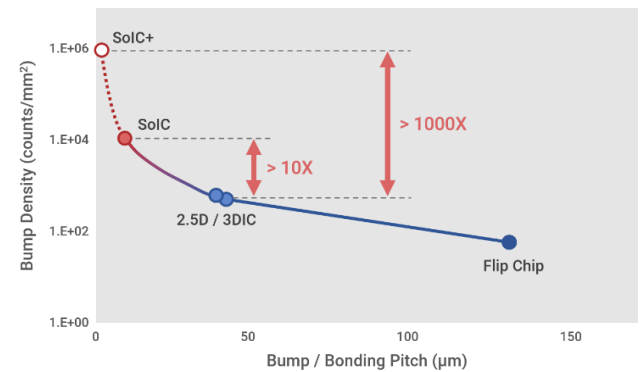
随着间距（Pitch）缩小，相应 Bump 密度以数量级提升。从 Flip Chip MCM（倒装多芯片模组）到 CoWoS（台积电 2.5D 封装），Bump 密度（I/O 密度）有一个数量级的提升，基本可以达到每平方毫米 600~900 个 Bump 连接点的水平。从 CoWoS 到 SoIC（台积电 3D 封装），Bump 密度进一步出现一个数量级（超过 10 倍）的提升，台积电 SoIC 可以达到每平方毫米约 1 万个 Bump 连接（I/O Count）的水平。

图 6：台积电 SoIC 结构图



资料来源：TSMC

图 7：台积电各先进封装平台 Bump Pitch 及密度对应关系

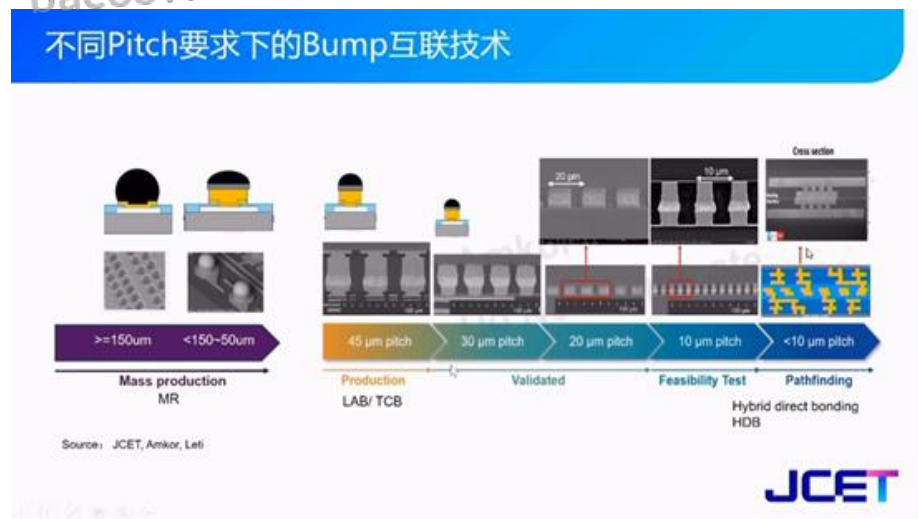


资料来源：TSMC

### 更先进工艺：2.5D/3D 封装所采用的 Bump 互联技术持续迭代

根据凸点或键合间距不同，采用不同 Bump 互联技术。根据长电科技，当凸点间距（Bump Pitch）在 50 微米以上时，通常采用 Mass Reflow 回流焊工艺，而在 45 微米~20 微米区间需要采用 TCB（热压键合）或 LAB（激光辅助键合），而在 20 微米以下则需要采用 Hybrid Bonding（混合键合）技术。截至 2022 年，长电科技在混合键合方面已有较多研究。

图 8：不同凸点间距要求下所采用的 Bump 互联技术



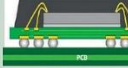
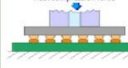
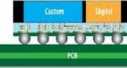
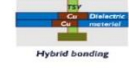
资料来源：长电科技，中国半导体封装测试技术与市场年会（2022 年），转引自半导体产业纵横微信公众号

历史来看，封装互联技术路线随着引脚密度和准确性的需求提升，经历了不同发展阶段。从 1975 年推出的传统的打线封装（Wire Bond），到 1995 年推出的倒装（Flip Chip）技术，连接引脚密度大约提升了 5~40 倍。近 10 年来，热压键合（TCB Bonding）、高密度扇出（HD Fan Out）、混合键合（Hybrid Bonding）技术陆续推出，使得引脚密度进一步大幅跃升。

图 9：封装互联工艺持续更新，带来引脚密度和准确性的大幅提升

Moore's Law Helps Drive Growth of Wafer Level Assembly

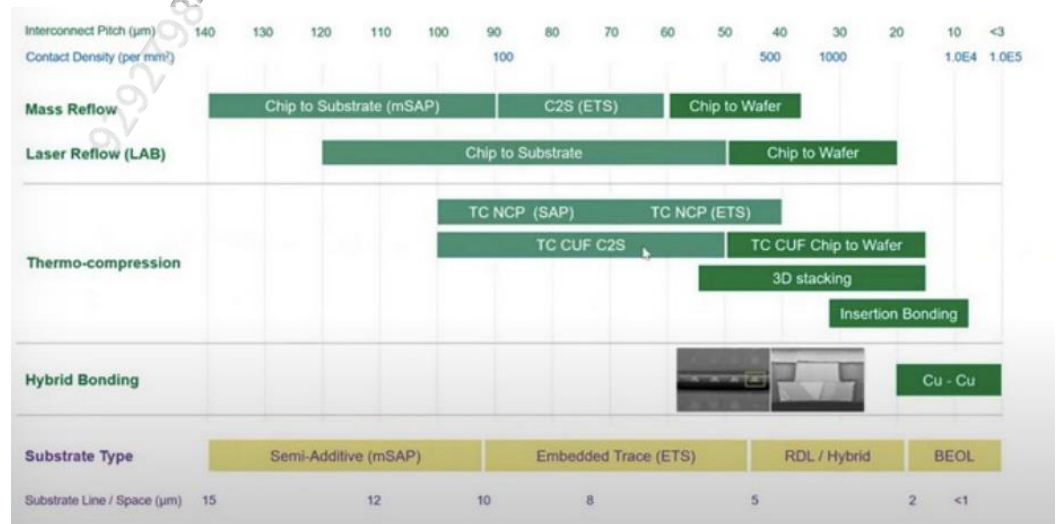
 Besi

|                 | Wire Bond<br>(1975)                                                                                       | Flip Chip<br>(1995)                                                                                               | TCB Bonding<br>(2012)                                                                                         | HD Fan Out<br>(2015)                                                                                        | Hybrid Bonding<br>(2018)                                                                                       |
|-----------------|-----------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------|
| Architecture    |                          |                                  |                             |                          |                             |
| Contact Type    | <br>Wire                 | <br>Solder ball or copper pillar | <br>Copper pillar           | <br>RDL or copper pillar | <br>Copper to copper        |
| Contact Density | <br>5-10/mm <sup>2</sup> | <br>25-400/mm <sup>2</sup>       | <br>156-625/mm <sup>2</sup> | <br>500+/mm <sup>2</sup> | <br>10K-1MM/mm <sup>2</sup> |
| Substrate       | Organic/leadframe                                                                                         | Organic/leadframe                                                                                                 | Organic /Silicon                                                                                              | None                                                                                                        | None                                                                                                           |
| Accuracy        | 20-10μm                                                                                                   | 10-5μm                                                                                                            | 5-1μm                                                                                                         | 5-1μm                                                                                                       | 0.5-0.1μm                                                                                                      |
| Energy/Bit      | 10pJ/bit                                                                                                  | 0.5pJ/bit                                                                                                         | 0.1pJ/bit                                                                                                     | 0.5pJ/bit                                                                                                   | <.05pJ/bit                                                                                                     |

资料来源：Besi, Semianalysis

**Bump 互联工艺的迭代演进推动互联间距的持续缩进。**大规模回流焊（Mass Reflow）大致可以实现 140~40 μm 的互连密度。采用激光辅助键合（LAB）可以将互联间距进一步达到 20 μm 左右；采用热压键合（TCB）工艺，间距最小可以达到 10 μm 左右；而混合键合（Hybrid Bonding）可以达到 10 μm 以下。

图 10：封装互联工艺迭代，对应连接点间距缩小、密度提升的技术趋势



资料来源：Besi

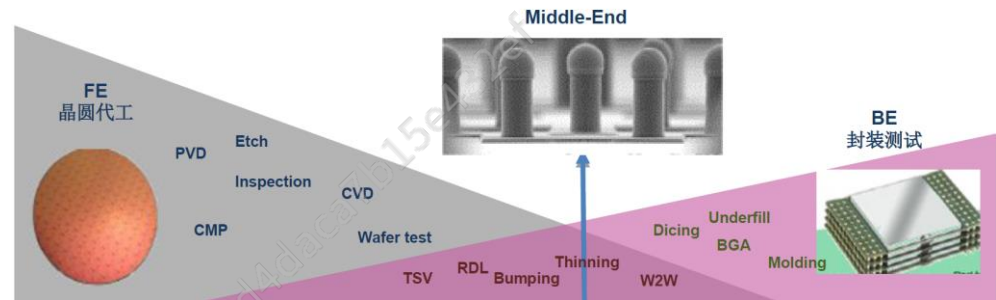
从 Bump 互联设备来看，传统龙头是欧洲厂商，国内厂商积极跟进。大规模回流焊（Mass Reflow）主流厂商包括 ASM Pacific、Kulicke & Soffa（库力索法半导体）、Besi 等；激光辅助键合（LAB）主流厂商包括 PACTech 等。热压键合的（TCB）主流厂商包括 ASM Pacific、Kulicke & Soffa、Besi 等，混合键合（Hybrid Bonding）设备的厂商包括 Besi、EVG、ASM Pacific、SUSS、TEL 等。国内厂商方面，拓荆科技已开发出 Wafer to Wafer 的混合键合设备，并已经交付国内头部存储厂商验证。



## 设备前道化：2.5D/3D 封装的凸点制造设备呈现前道化趋势

在先进封装制作凸点的中道工艺方面，相关设备越来越贴近前道化。先进封装的凸块（Bumping）工艺属于中道工艺，通常需要光刻、电镀、刻蚀、薄膜、清洗等干法、湿法设备，这与传统封装的打线流程有显著不同。新建的先进封装工厂通常采用高标准的洁净室级别进行建设。而前道的晶圆厂在这一类工具的采用方面具有更显著的优势。近年来新建的先进封装厂，也大多采用更高级别的标准进行建设。

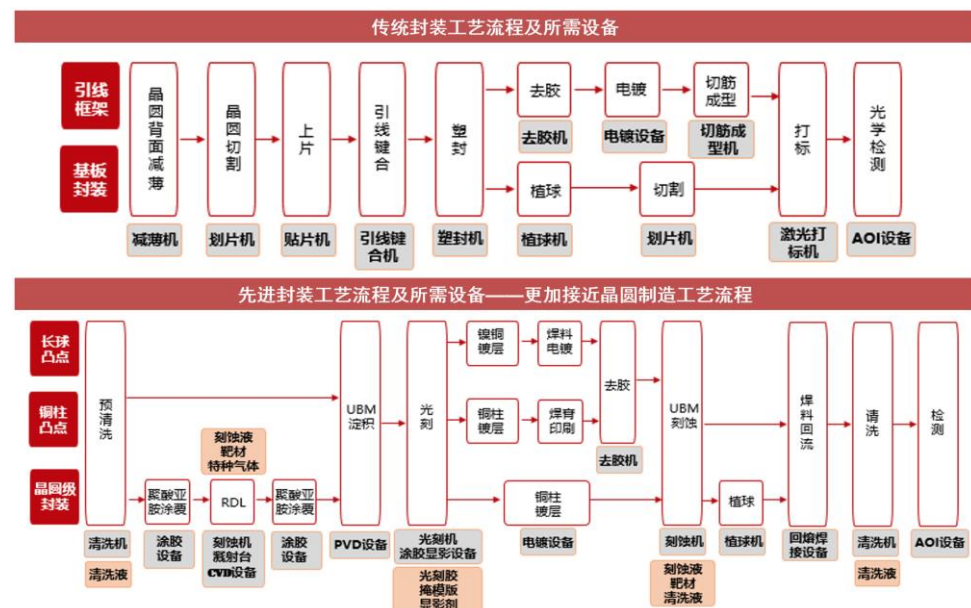
图 11：前段、中段、后段工艺的分类——中段工艺处于晶圆代工厂和封装测试厂的交叉处



资料来源：Yole

从设备种类来看，先进封装的扇出和凸块工艺设备厂商部分与前道设备厂商重合。前道制造设备厂商如应用材料 AMAT、泛林 Lam、东京电子 TEL 等均涉足先进封装设备，国内半导体设备厂商也大多有涉足到扇出和凸块工艺环节设备。例如北方华创、中微公司提供先进封装相关的深硅刻蚀设备。盛美上海提供先进封装用的清洗设备、电镀设备等。芯源微提供扇出制造过程中的涂胶显影设备、清洗设备和临时键合/解键合设备。华海清科提供先进封装使用的 CMP 抛光设备等。

图 12：传统封装工艺与先进封装凸块制作工艺对比



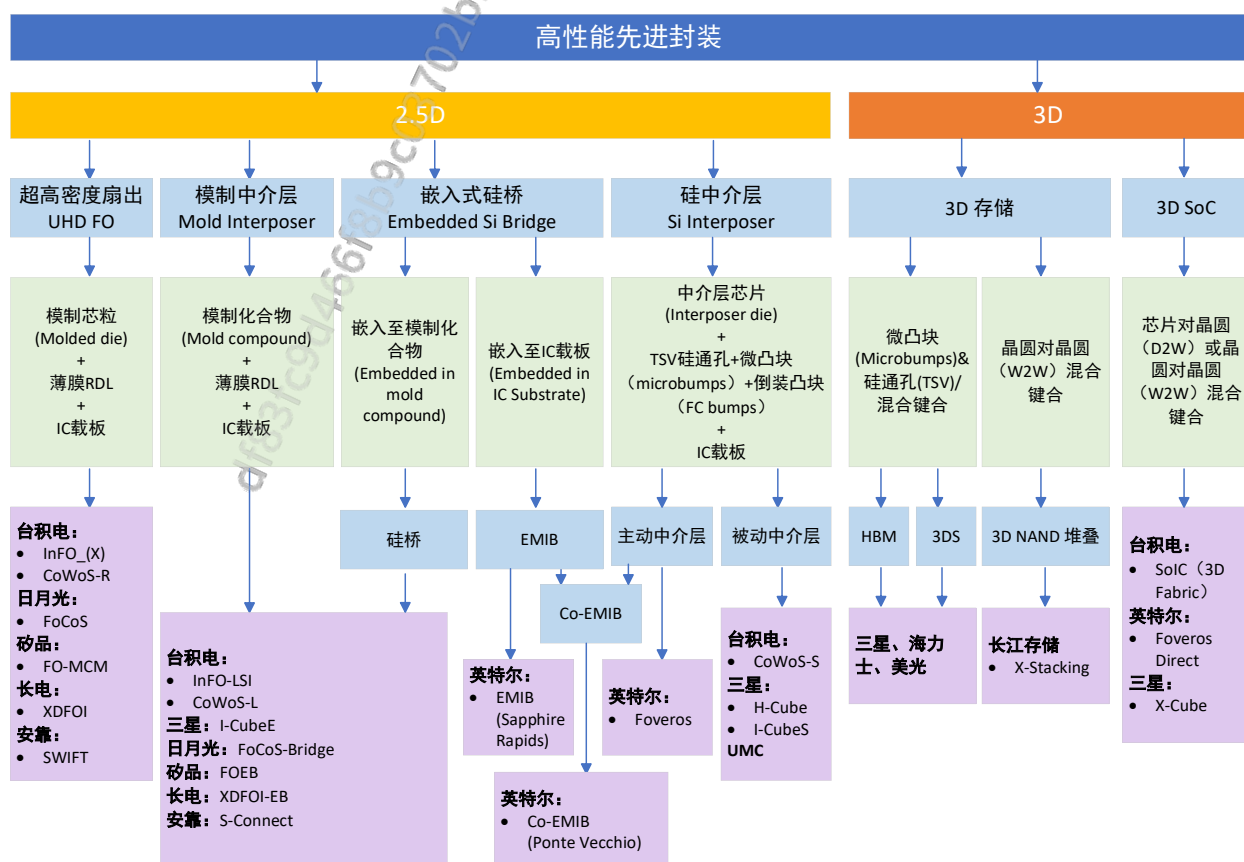
资料来源：IC 咖啡，中信证券研究部



## ■ 前道制造厂商（Foundry）2.5D/3D 封装技术布局情况

各主流晶圆厂和封测厂商均推出了不同名称的 2.5D/3D 封装技术。各家封测企业的 2.5D 封装工艺没有统一标准，大多是从定制化的工艺发展而来，命名也各不相同，但都以有中介层（Interposer）的工艺为主流。2.5D 封装需要将不同芯片连接到中介层上，以实现芯片间的互联，中介层的材料可分为硅中介层、有机中介层、硅桥等类别。3D 封装则不一定需要使用中介层，但通常需要 TSV 工艺，按照应用场景，又可以大致划分 3D 存储与 3D SoC 两大类。从先进封装的参与厂商来看，前道晶圆制造企业、后道封装测试企业、存储 IDM 厂商均有涉足，本文我们重点探讨晶圆制造和封装测试企业的工艺布局状况。

图 13：2.5D/3D 高性能封装分类（2023 年）



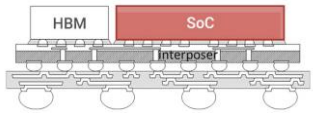
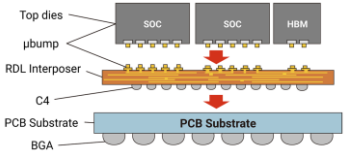
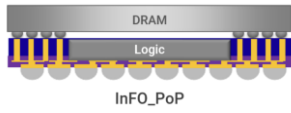
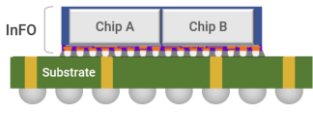
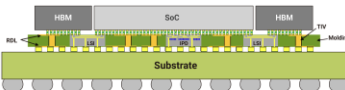
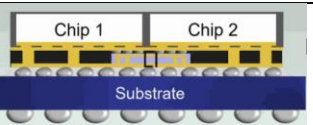
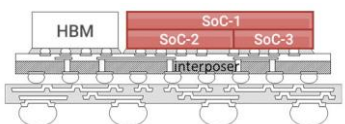
资料来源：Yole，中信证券研究部

从前道晶圆制造企业视角来看，2.5D/3D 先进封装是“超越摩尔定律”路线的必由之路，已有较早布局。摩尔定律发展到现阶段，应该何去何从？行业内两条路径：一是继续按照摩尔定律往下发展的深度摩尔定律（More Moore），继续推进芯片制程的迭代演进；二是超越摩尔定律（More than Moore）的路线，从一味追求功耗下降、性能提升，转为更加务实满足市场需求，2.5D 和 3D 封装则是超越摩尔定律的一种工艺方式。前道晶圆制造企业如台积电、三星、英特尔等在此类技术方面做了长期布局，当前占据行业领先地位。

## 台积电：异质集成标杆企业，英伟达、AMD、苹果主力供应商

台积电的 3D Fabric 平台包含两类，芯片堆叠（3D）和先进封装（2.5D）。其中，2.5D 先进封装来看，2.5D CoWoS（Chip on Wafer on Substrate）平台可以实现先进逻辑和高带宽存储器（HBM）的整合，适用于人工智能、数据中心等 HPC 应用；InFO（整合式扇出型封装，intergrated fanout）中的 InFO-PoP 支持移动应用，InFO-LSI 则支持 HPC 小芯片整合。

表 3：台积电 2.5D/3D 先进封装技术平台分类

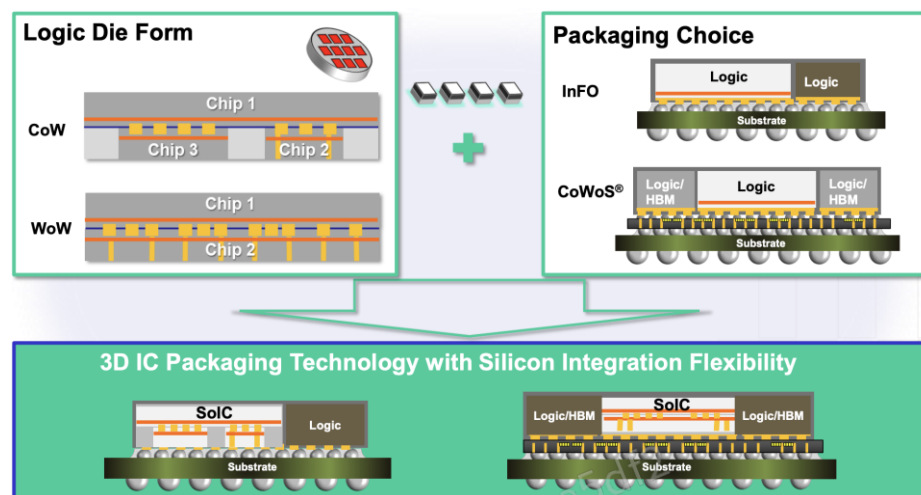
| 类型   | 技术平台                       | 特点                                                                                                                 | 典型产品                                                                        | 图示                                                                                    |
|------|----------------------------|--------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------|---------------------------------------------------------------------------------------|
| 2.5D | 硅中介层（Si interposer）        | CoWoS-S<br>采用硅中介层，基于现有硅片光刻和再分布层的加工。2011 年推出，2012 年量产，迄今为止为已向超过 25 家客户提供了>140 种产品。                                  | 英伟达 A100、H100 等                                                             |    |
|      |                            | CoWoS-R<br>使用有机转接板以降低成本，可以达到 4 倍最大光罩尺寸，同时正在开发具有高达 6 个光罩尺寸（约 5,000 平方毫米）重布线层（RDL）中介层的 CoWoS 解决方案，能够容纳 12 个高带宽存储器堆叠。 |                                                                             |    |
|      | 有机中介层（RDL）/ 超高密度扇出（UHD FO） | InFO_PoP<br>主要用于移动平台，一般用于 DRAM 与逻辑芯片的集成。自 2016 年推出以来，台积电 InFO_PoP 出货量超过 12 亿台。                                     | Apple A17 Pro                                                               |   |
|      |                            | InFO_oS<br>主要用于 HPC 客户，可在基板上封装多个芯片，InFO_oS 投产已达 5 年以上                                                              |                                                                             |  |
|      |                            | InFO_M<br>是 InFO_oS 的替代方案，实现多芯片封装但无需额外的基板，于 2022 年下半年投产，适用于对外型尺寸敏感度较高的应用。                                          |                                                                             |                                                                                       |
|      | 嵌入式硅桥（Embedded Si Bridge）  | CoWoS-L<br>使用插入有机转接板中的小硅桥，用于相邻芯片边缘之间的高密度互连（0.4um/0.4um L/S 间距）。                                                    | 英伟达 B200                                                                    |  |
|      |                            | InFO-LSI<br>通过一个本地硅互连（LSI）嵌入到重分布层 RDL 中，将两片芯片连接。                                                                   | Apple M1 Ultra                                                              |  |
| 3D   | 微凸块（Microbump）             | SoIC-P<br>2019 年推出，2021 年量产，采用 18-25 微米间距微凸块堆叠技术，主要针对如移动、物联网等成本较为敏感的应用。                                            |                                                                             |                                                                                       |
|      | 混合键合（Hybrid Bonding）       | SoIC-X<br>采用无凸块堆叠技术，主要针对 HPC 应用。其芯片对晶圆堆叠方案具有 4.5 至 9 微米的键合间距，已在台积电 N7 工艺技术中量产，用于 HPC 应用。                           | AMD Instinct MI 300X 采用了台积电 SoIC-X 技术将 N5 GPU 和 CPU 堆叠于底层芯片，并整合在 CoWoS 封装中。 |  |

资料来源：台积电官网，中信证券研究部

台积电的前道的 3D 芯片堆叠技术可以与 2.5D 技术进一步整合：按照工艺流程可以分为 WoW（wafer-on-wafer，晶圆对晶圆）和 CoW（chip-on-wafer，芯片对晶圆）两类。

按照是否具有凸块工艺，包含 SoIC-P（含有 Bump 凸块）和 SoIC-X（不含 Bump 凸块）两大类。SoIC 堆叠芯片可以进一步整合到 CoWoS、InFO 或传统倒装芯片封装，运用于客户的最终产品，带来更大的灵活性。

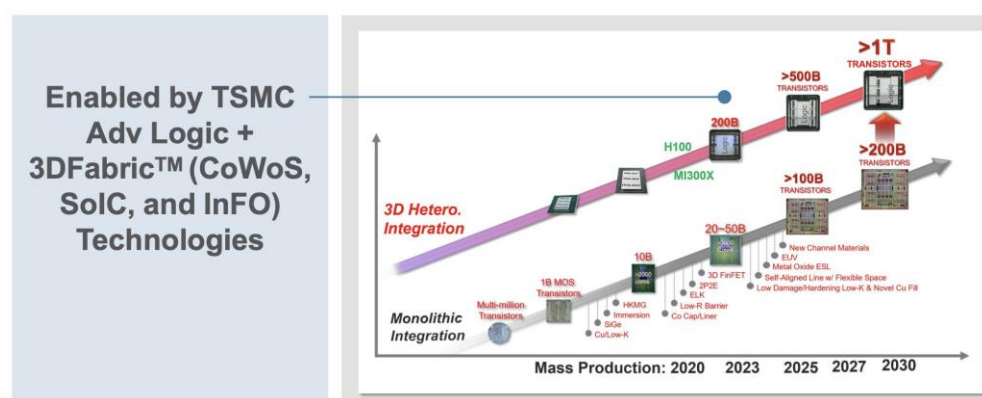
图 14：台积电 SoIC：整合前道和后道异质集成技术，带来更大灵活性



资料来源：TSMC

台积电拟借助 3D 异质集成技术，目标到 2030 年打造 1 万亿晶体管 GPU 芯片。目前业界领先的 AI 芯片 NVIDIA B200 GPU 采用 TSMC N4 制程工艺打造，由两个 Blackwell GPU Die 封装在一起，总共包含 2080 亿个晶体管，其应用了 2.5D CoWoS 先进封装技术，这代表了目前大批量量产 AI 芯片的晶体管数量领先水平。台积电在 2023 年 IEDM 会议上提出，到 2030 年左右，应用 3D 异质集成技术，可进一步提升晶体管规模至 1 万亿个晶体管以上。

图 15：TSMC 通过先进制程+3D Fabric（3D 异质集成技术），在系统层面扩展晶体管规模



资料来源：TSMC at IEDM 2023, Dec 12

## Intel：业界领先，已大规模应用于自身处理器产品线

Intel 的先进封装技术平台布局与台积电基本对应，同样代表了行业先进封装领先水平。Intel 的先进封装和互连技术包括 EMIB, Foveros, Co-EMIB, ODI 等。以 Intel 先进

封装技术路线图为例，可以从功率效率、互连密度、可扩展性三个维度分类。从 EMIB 到 Foveros 到 Foveros Direct，功率效率和互连密度持续改善，而 Co-EMIB 和 ODI 在可扩展性方面提供了更多选择。

表 4：Intel 2.5D/3D 先进封装技术平台分类

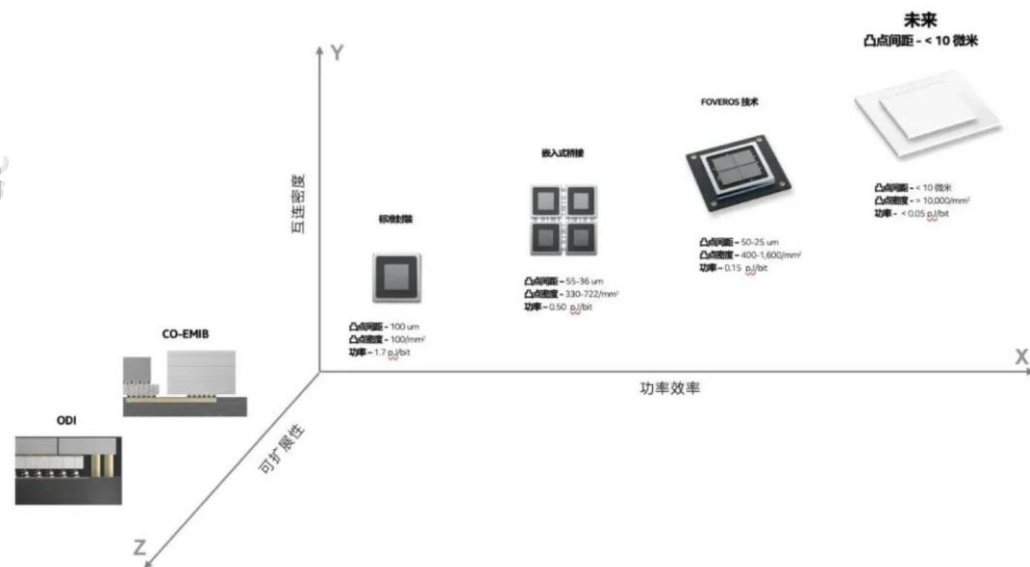
| 类型   | 技术平台                           | 特点             | 典型产品                                                                                                             | 图示                               |
|------|--------------------------------|----------------|------------------------------------------------------------------------------------------------------------------|----------------------------------|
| 2.5D | 嵌入式硅桥<br>(Embedded Si Bridge)  | EMIB           | 嵌入式多芯片互联桥，2017 年发布，2.5D 技术，使用埋藏在封装基板内、用来连接裸晶的硅桥 (Silicon Bridge)，类似台积电 CoWoS-L。凸点间距大约 55 微米左右                    | Sapphire Rapids , Granite Rapids |
|      | 硅中介层+嵌入式硅桥                     | Co-EMIB        | 使用 EMIB 和 Foveros 的组合来融合 2.5D 和 3D 的技术，通过 Co-EMIB 可以将 40 多个芯片放入一个封装中。                                            | Ponte Vecchio                    |
| 3D   | 热压键合 (TCB)<br>+微凸块 (Microbump) | Foveros        | 2018 年推出，3D 技术，进行横向和纵向的互联，类似台积电的 SoIC-P。主要采用 TCB(热压键合)技术连接，凸点间距降低到 50-25 微米，每平方米毫米有大约 400 个凸点。                   | Meteor Lake                      |
|      |                                | ODI            | ODI(Omni-Directional Interconnect) 全方位互连技术：2019 年推出，在 Foveros 基础上添加了金属支柱，允许最右侧的顶部芯片直接连接到封装。ODI 可以直接从封装基板向顶部裸片供电。 | Foveros , ODI                    |
|      | 混合键合 (Hybrid Bonding)          | Foveros Direct | 通过 Hybrid bonding 混合键合技术，达到 10 微米以下的凸点间距，从而达到每平方米 1 万个凸点的互连密度，类似于台积电 SoIC-X                                      |                                  |

资料来源：Intel，中信证券研究部

**Intel 的互连工艺从 TCB 工艺走向未来的混合键合技术，进一步微缩凸点间距。**3D 平台方面，Foveros 目前主要采用 TCB（热压键合）技术连接，凸点间距约 50 微米，互连密度约每平方米下 400 个凸点。而通过 Hybrid bonding 混合键合技术，Intel 计划达到 10 微米以下的凸点间距，从而达到每平方米 1 万个凸点的互连密度。根据 Anandtech 报道，Intel 将其命名为“Foveros Direct”，并属于 Foveros 的第四代技术，类似于台积电 SoIC-X。



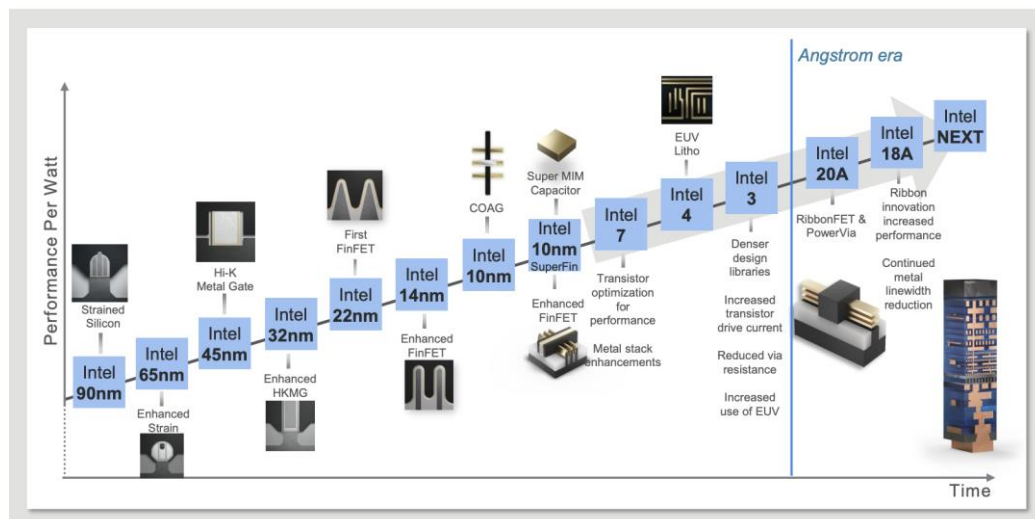
图 16：Intel 先进封装路线图



资料来源：Intel

在前道制程工艺方面，近年来英特尔一改往日保守风格。2021 年，Intel 提出四年五节点的制程开发计划，希望借此重回领导地位。Intel 押注 RibbonFET（对于 GAA 的改进）+PowerVia（背面供电）技术，在 2024 年 Intel 20A 和 18A 节点上率先采用类 GAA 晶体管管和背面供电两类新技术，时间线来看较台积电更为激进。

图 17：Intel 在先进制程节点上的路线图



资料来源：Intel at IEDM 2023

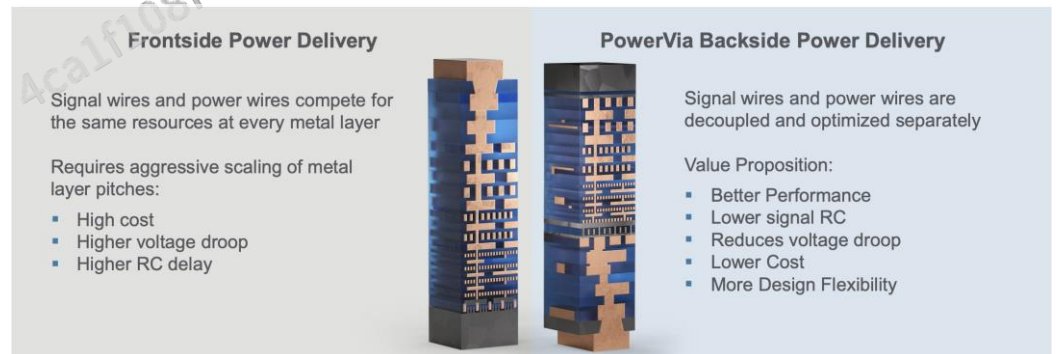
图 18：Intel 与 TSMC 在新型晶体管和背面供电技术的时间表

|                     | 2023   |    |     |    | 2024            |    |     |    | 2025   |    |      |    |
|---------------------|--------|----|-----|----|-----------------|----|-----|----|--------|----|------|----|
|                     | 1Q     | 2Q | 3Q  | 4Q | 1Q              | 2Q | 3Q  | 4Q | 1Q     | 2Q | 3Q   | 4Q |
| Manufacturing Ready | 4nm    |    | 3nm |    | 20A             |    | 18A |    |        |    |      |    |
| HVM                 | 7nm    |    | 4nm |    | 3nm             |    | 20A |    | 18A    |    |      |    |
| FET                 | FinFet |    |     |    | RibbonFet (20A) |    |     |    |        |    |      |    |
| PowerVia            | No     |    |     |    | Yes (20A)       |    |     |    |        |    |      |    |
| TSMC HVM            | N5     |    | N3  |    |                 |    |     |    | N2     |    |      |    |
| GAA                 | No     |    |     |    |                 |    |     |    | GAAFET |    |      |    |
| BSPDN               | No     |    |     |    |                 |    |     |    |        |    | BPR? |    |

资料来源：fabricatedknowledge

**背面供电 (BSPDN)技术 (Intel 称 PowerVia) 的导入将会增加对混合键合 (Hybrid bonding) 工艺的需求。**背面供电 (BSPDN)技术分离半导体芯片中的信号层和功率层，这一技术需要两个晶圆分别制造并通过混合键合 (Hybrid Bonding) 连接。这相较于传统工艺增加了混合键合的工艺需求。而挑战在于，一方面需要重构设计验证测试流程，同时热管理难度增大，晶体管的埋层将更难冷却。

图 19：传统正面供电 与 Intel 的背面供电技术 PowerVia 对比

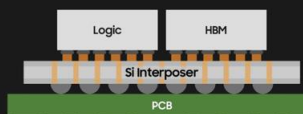
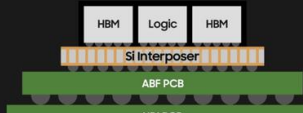
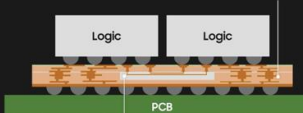
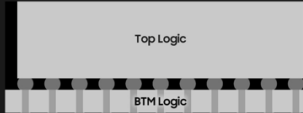
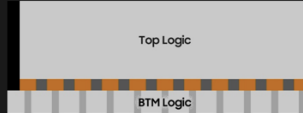


资料来源：Intel Innovation 2023

### 三星：2.5D 及 3D 技术对齐台积电与英特尔

三星在 2.5D 和 3D 封装技术方面，布局对标台积电、英特尔。其中 I-Cube 为 2.5D 技术，对标 CoWoS，包含三种类型：采用硅中介层的 I-Cube S、采用 RDL+硅嵌入结构的 I-Cube E、以及面向大尺寸封装的 H-Cube。X-Cube 为 3D 技术，对标 SoIC、Foveros，包含微凸块和铜混合键合两种路线。

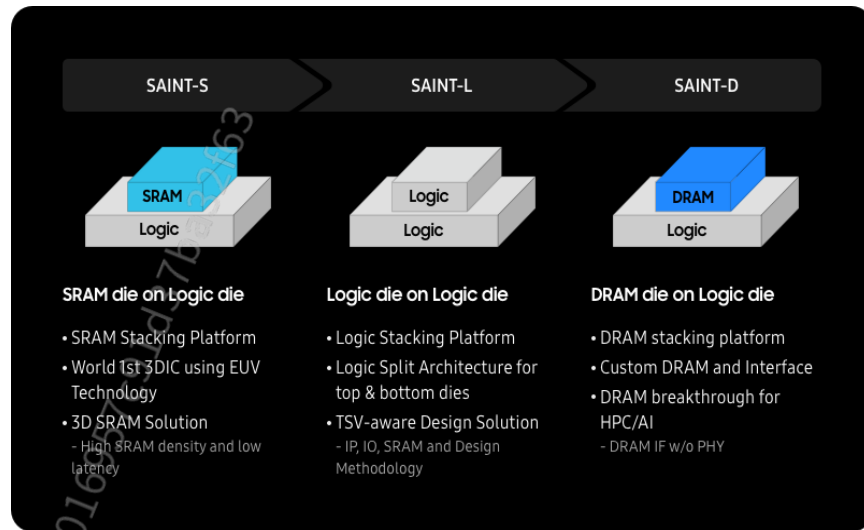
表 5：三星 2.5D/3D 先进封装技术平台分类

| 类型   | 技术平台                    | 特点                                                                                  | 图示                                                                                                                                                                                                                                                                                                                                                                      |
|------|-------------------------|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2.5D | I-Cube S                | 2018 年推出,采用硅中介层,对标台积电 CoWoS-S                                                       |  <p>I-Cube S: 硅中介层 2.5D封装</p>  <p>H-Cube: I-Cube S基础上,采用ABF基底+HDI基底,实现较大封装尺寸。</p>  <p>I-Cube E: RDL层+硅嵌入结构</p> |
|      | H-Cube                  | 在 I-Cube S 的基础上,采用了 ABF 基板和 HDI 基板作为底层基板,可以实现更大尺寸的封装,满足 AI 和数据中心等应用领域的需求            |                                                                                                                                                                                                                                                                                                                                                                         |
|      | I-Cube E                | 采用 RDL+硅嵌入结构,对标台积电 CoWoS-L 和英特尔 EMIB                                                |                                                                                                                                                                                                                                                                                                                                                                         |
| 3D   | X-Cube TCB (Micro bump) | 2020 年推出, X-Cube TCB (Micro bump) 微凸块, Microbump<30 微米,对标台积电 SolC-P 和英特尔 Foveros    |  <p>X-Cube (微凸块)</p>  <p>X-Cube (铜混合键合)</p>                                                                                                                                                    |
|      | X-Cube HCB (Bumpless)   | X-Cube HCB (Bumpless)采用铜混合键合则对标台积电 SolC-X 和英特尔 Foveros Direct,正在开发 pitch 小于 4 微米的规格 |                                                                                                                                                                                                                                                                                                                                                                         |

资料来源：三星，中信证券研究部

**三星拟推出新的 3D 先进封装品牌“SAINT”。**根据 The Korea Economic Daily 报道，三星计划 2024 年推出命名为“SAINT”（Samsung Advanced Interconnection Technology，三星先进互连技术）品牌的 3D 先进封装技术，以更小的尺寸集成高性能芯片（包括人工智能芯片）所需的内存和处理器。Samsung Foundry 在 2022 年 10 月三星 SAFE 论坛上曾介绍其正着手打造整体设计解决方案，已经开发出了 SAINT-S 和 SRAM 堆叠芯片，正在开发逻辑堆叠芯片 SAINT-L，计划开发 DRAM 堆叠的 SAINT-D 解决方案。

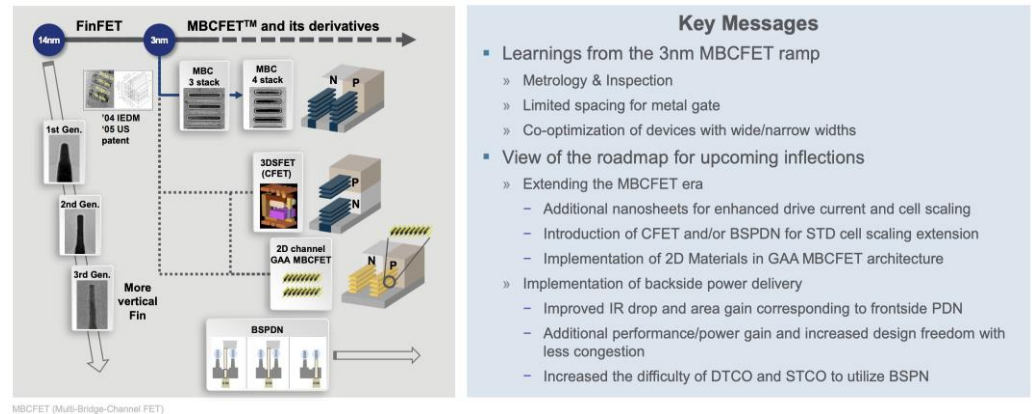
图 20：三星提出利用 SAINT-S 技术打造 3D SRAM 堆叠



资料来源：三星官网

三星在前道工艺方面，推出 MBCFET（多桥通道场效应晶体管，GAA 晶体管的一种形式），进入 3nm 水平。三星在 2022 年宣布开始量产 3nm 工艺，采用 GAA MBCFET 技术，是率先宣布量产 3nm 的晶圆代工企业，但其前期良率较低，前期客户包括矿机、AI 等领域客户。三星第二代 3nm 则计划于 2024 年下半年投产。三星计划在 2027 年将 BSPDN 背面供电技术用于 1.4nm 工艺，未来料将增加对于混合键合等 3D 工艺的需求。

图 21：三星 MBCFET 晶体管及采用背面供电技术



资料来源：Samsung at IEDM 2023

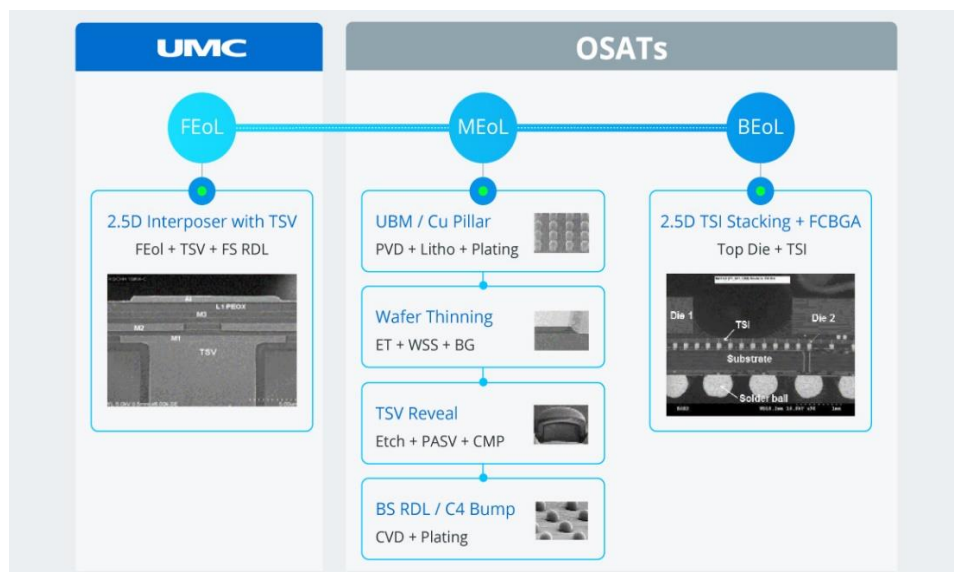
## 联电：提供 2.5D 中介层，布局 3D 混合键合

联电提供 2.5D 所需硅中介层，与封测厂商配合提供解决方案。根据公司官网，联电是全球第一个提供硅中介层制造开放系统解决方案的晶圆制造企业，通过此开放系统 (UMC+OSAT) 的合作模式，能提供已通过验证的完整供应链以快速导入量产。根据中国台湾工商时报，截至 2023 年 10 月，联电具有至少 3000 片/月的硅中介层产能。此部分硅



中介层与安靠、日月光等厂商的 2.5D 后段工序相配合，可实现与台积电 CoWoS 平台同等水平的效果。

图 22：联电的 UMC+OSAT 合作 2.5D 解决方案

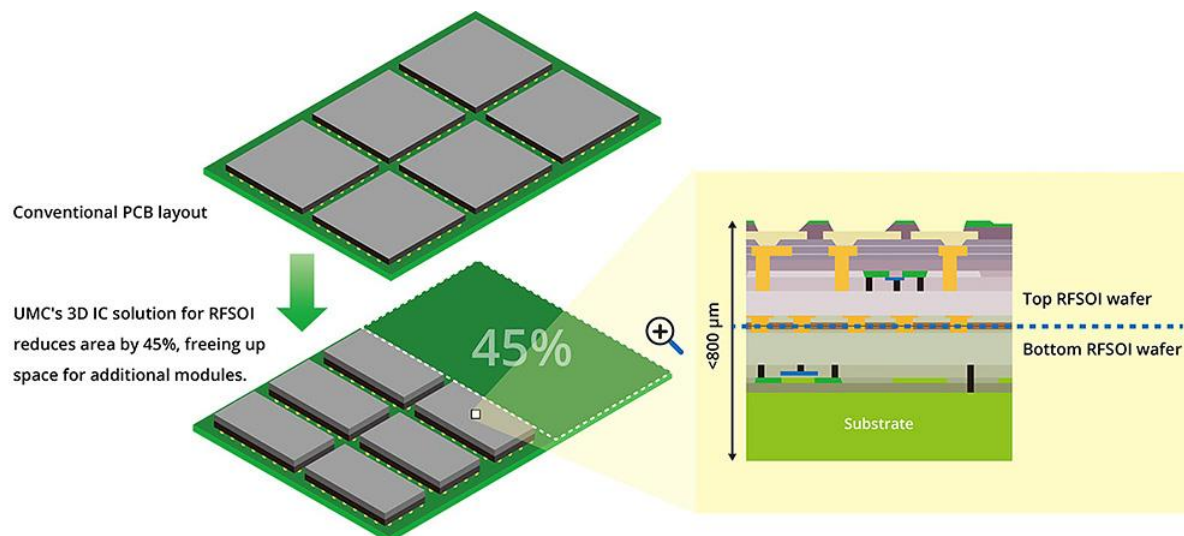


资料来源：联电官网

**联电在混合键合方面具备相关技术能力。**联电于 2023 年 2 月宣布其混合键合解决方案已经准备就绪，可以支持边缘 AI、影像处理和无线通讯等终端应用，并与 Cadence 共同开发 3D IC 混合键合的参考流程。

**联电已推出射频 3D 封装解决方案。**联电于 2024 年 5 月 2 日推出业界收款 RFSOI 3D IC 方案，可以将芯片尺寸缩小 45% 以上。这项方案运用了晶圆对晶圆（Wafer to Wafer）的键合技术。RFSOI 主要用于低噪声放大器、射频开关、天线调谐器等射频芯片，3D 方案有助于在 5G 手机中整合更多射频器件。

图 23：联电 RFSOI 制程 3D IC 方案



资料来源：联电官网

## 中芯国际：CIS 等领域混合键合具有丰富经验，并提供 2.5D 和 3D 方案

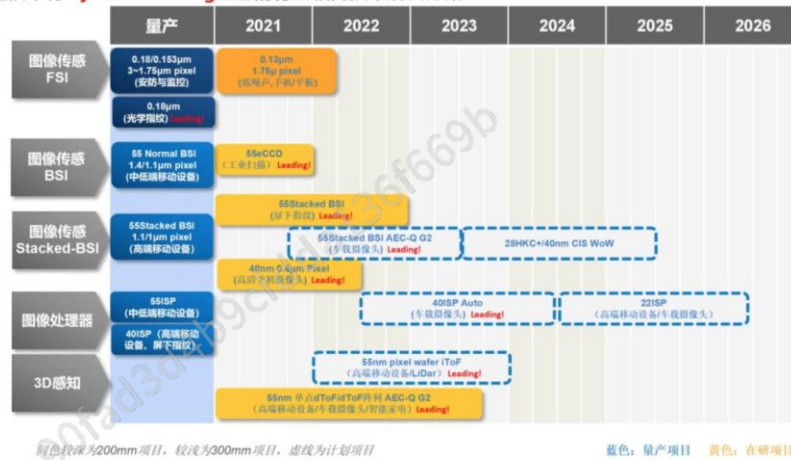
中芯国际在 3D 堆叠具有丰富量产经验。根据公司官网新闻，公司于 2013 年就成立了视觉、传感器和 3DIC 中心（简称 CVS3D），整合、强化 CMOS 图像传感器、MEMS 传感器、硅通孔（TSV）技术和其他中端晶圆制程技术（MEWP）上的研发和生产制造能力。公司目前具备两层甚至三层堆叠式（Stacked）CIS 的量产能力，在 WoW 的混合键合（Hybrid Bonding）方面具有丰富量产经验。

图 24：中芯国际在 CIS 领域布局混合键合工艺（WoW）

### 图像传感平台



◆ 提供带有 Hybrid bonding 工艺的行业领先技术解决方案



资料来源：中芯国际，中关村 IC 产业论坛（2021 年）

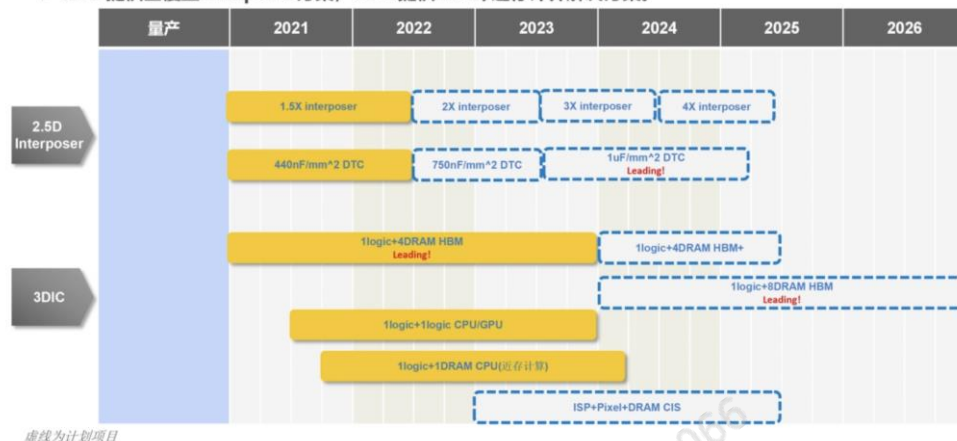
中芯国际在 2.5D 和 3D 领域进行了较为全面的研发布局。中芯国际资深副总裁张昕先生 2021 年在 IC WORLD 大会上提及其 6 大平台时指出：“公司先进封装平台将在 2.5D 领域提供全覆盖 Interposer 方案，3D IC 提供 HBM/近存计算解决方案。”中芯国际在 CIS 的 WoW 堆叠、显示驱动 WoW 堆叠、物联网超低功耗+射频+特殊存储的 2.5D 集成、逻辑+电源管理的 3D 堆叠等方面均有相应研发或技术布局。

图 25：中芯国际在 2.5D 和 3D 先进封装提供相关解决方案

### 先进封装平台



◆ 2.5D提供全覆盖interposer方案，3DIC提供HBM/近存计算解决方案。

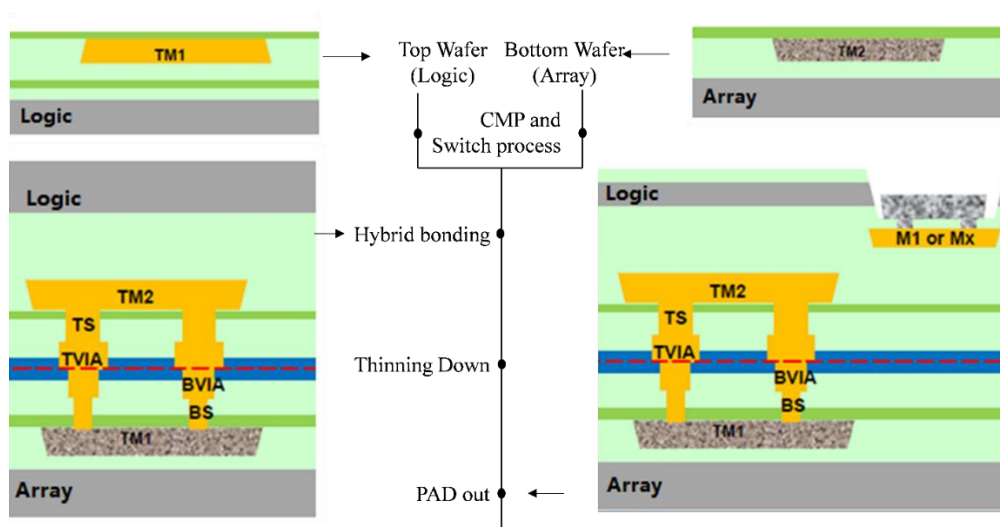


资料来源：中芯国际，中关村 IC 产业论坛（2021 年）

### 武汉新芯：国内较早布局 3D 技术，主打 3DLink 平台

武汉新芯是国内较早布局 3D IC 技术的企业，具备混合键合工艺的丰富量产经验。根据武汉新芯官网，武汉新芯从 2012 年开始布局 3D IC 技术，具备 Cu-Cu 混合键合技术能力，截至 2020 年键合良率已高达 99.5%。武汉新芯于 2020 年宣布推出三维堆叠技术品牌——3DLink™，包括两片晶圆堆叠技术、多片晶圆堆叠技术，以及芯片-晶圆异质集成技术等，在存算一体、3D 传感 ToF 等领域广泛运用。武汉新芯客户西安紫光国芯在 IEDM 2020 发表 异质集成嵌入式 LPDDR4 DRAM(SeDRAM)论文，推出世界首款 3D LPDDR4 内存产品方案，就采用了武汉新芯逻辑代工及异质集成工艺完成。

图 26：紫光国芯的异质集成嵌入式 DRAM 平台，由武汉新芯进行逻辑芯片及混合键合异质集成代工



资料来源：西安紫光国芯官网

## ■ 封装厂商 2.5D/3D 封装技术布局情况

除前道厂商外，封装厂商在 2.5D/3D 封装技术领域也早有布局。与前道厂商相比，封装厂商在 2.5D 封装技术上着力更多，目前已量产的成熟技术平台大多是 2.5D 封装技术，同时也在积极推进 3D 封装的研发。

### 日月光：封测行业 2.5D 技术领先厂商

日月光为 2.5D 封装技术先驱。日月光为全球最大封测厂，技术最领先及产品面最广，为 2.5D/3D 封装技术先驱之一，研发时间超过十多年，推出了世界上第一个配备高带宽存储器（HBM）的 2.5D IC 封装的批量生产。日月光 2015 年就开始量产 2.5D 封装，超威、英伟达等均为第一批客户，是封装厂中技术领先厂商。

图 27：日月光 VIPack 先进封装平台由六大核心技术组成，并通过整合设计生态系统协同合作

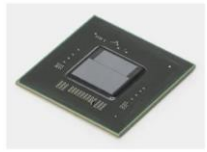
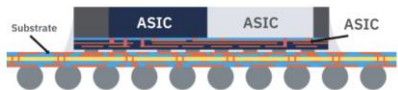
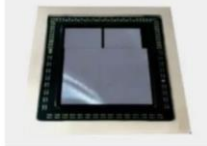
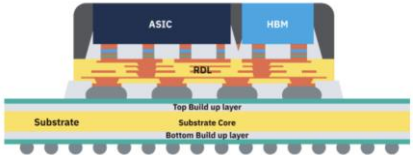
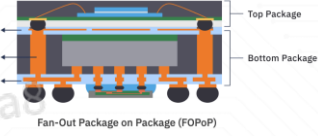
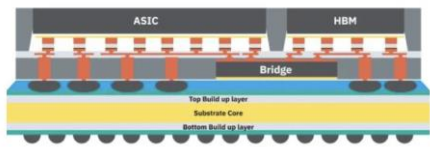
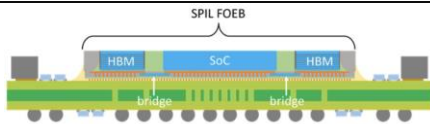


资料来源：日月光官网

**2.5D 技术对标台积电、英特尔等前道厂商。**日月光推出了 VIPack 先进封装平台，提供 2.5D 整合封装方案，其中包含 FOPoP、FOCoS、FOCoS-Bridge、FOSiP 等技术。目前公司 2.5D 封装实现方式为 TSV 中介层连接、以及用扇外型晶圆级封装的重布线连接，2.5D 技术 FOCoS 采用 RDL 中介层，基本上与台积电 CoWoS-R、英特尔 EMIB 类似。此外还有 FOPoP 主要通过扇外型封装堆叠完成，对标台积电 InFO-PoP。日月光旗下的矽品也推出了 FOEB 等 2.5D 封装技术。在 3D 技术方面，日月光已经布局开发混合键合（Hybrid bonding）工艺，具备 3D 整合能力。



表 6：日月光 2.5D/3D 先进封装技术平台分类

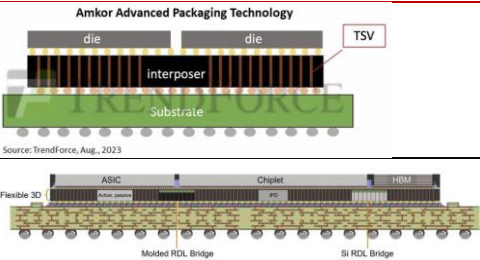
| 类型   | 技术平台                          | 特点                                                    | 图示                                                                                                                                                                          |
|------|-------------------------------|-------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2.5D | FOCoS-CF(Chip First)          | 将芯片通过 Cu 通孔直接与 RDL 连接，芯片和扇出 RDL (L/S 2/2 微米) 之间没有微凸块。 |       |
|      | 有机中介层 (RDL) / 超高密度扇出 (UHD FO) | FOCoS-CL(Chip Last)                                   |       |
|      | FOPoP                         | 将两片芯片通过 RDL 层和铜柱上下堆叠封装，类似台积电 InFO-PoP                 |  <p>Fan-Out Package on Package (FOPoP)</p>                                              |
|      | 嵌入式硅桥 (Embedded Si Bridge)    | FOCoS-Bridge                                          |   |
| 3D   | 混合键合 (Hybrid Bonding)         | FO-EB (Embedded Bridge)                               |  <p>SPIL FOEB</p>                                                                      |
|      | 硅中介层 (Si interposer)          | 与晶圆厂协同推出                                              |                                                                                                                                                                             |

资料来源：日月光、矽品官网，中信证券研究部

## 安靠：具备业内领先的 2.5D 先进封装能力

安靠在 2.5D 封装技术领域布局多年。安靠 (Amkor) 除了与三星共同开发了 H-Cube 先进封装解决方案以外，也早已布局“类 CoWoS 技术”，其通过中间层与 TSV 技术连接不同芯片，同样具备 2.5D 先进封装能力。自 2016 年以来，Amkor 一直在进行基板上芯片 (CoS) 的大批量生产，并且自 2019 年以来，也在大批量生产晶圆上芯片 (CoW)。

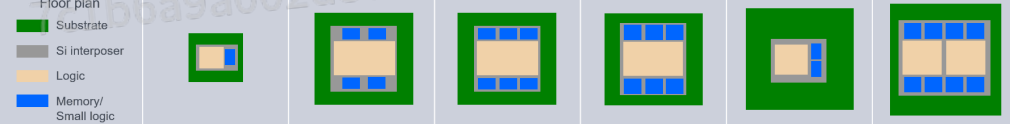
表 7：安靠 2.5D/3D 先进封装技术平台分类

| 类型                                | 技术平台       | 特点                                                      | 图示                                                                                 |
|-----------------------------------|------------|---------------------------------------------------------|------------------------------------------------------------------------------------|
| 有机中介层（RDL）/<br>超高密度扇出（UHD FO）     | SWIFT/HDFO | 通过中介层讲多芯片连接，铜柱晶片互连缩小至 30 微米间距，线宽线距 2/2 μm，类似台积电 CoWoS-R |  |
| 2.5D<br>嵌入式硅桥（Embedded Si Bridge） | S-Connect  | S-Connect 是 HDFO 和硅桥的组合产品。类似台积电 CoWoS-L                 |                                                                                    |
| 硅中介层（Si interposer）               |            | 与晶圆厂协同推出                                                |                                                                                    |
| 3D<br>混合键合（Hybrid Bonding）        |            | 已布局铜混合键合 3D 堆叠相关研发                                      |                                                                                    |

资料来源：安靠官网，Trendforce，中信证券研究部

安靠的 2.5D 技术已经用于高性能计算和人工智能应用，并持续扩充产能。根据公司官网，安靠最新的技术可以支持 1 颗 ASIC+6 颗 HBM、2 颗 ASIC+8 颗 HBM 的组合，相关产品已进入大规模量产或产品验证阶段。安靠正在将其 2.5D TSV 生产能力提高两倍，公司预计此次产能扩容计划于 2024 年第四季度完成。

图 28：安靠提供的 2.5D TSV 产品生产能力

| Configuration | ASIC + HBM2                                                                          | ASIC + 4x HBM2 | ASIC + 6x HBM2/2E | ASIC + 6x HBM2E/3 | ASIC + 2x HBM2 | 2x ASIC + 8x HBM (Chiplets ASIC) |
|---------------|--------------------------------------------------------------------------------------|----------------|-------------------|-------------------|----------------|----------------------------------|
| Package       | 41 x 31 mm                                                                           | 55 x 55 mm     | 55 x 55 mm        | 55 x 58 mm        | 77.8 x 77.5 mm | 85 x 85 mm                       |
| Interposer    | 27 x 15 mm                                                                           | 43 x 34 mm     | 43 x 37 mm        | 47 x 34 mm        | 31 x 29 mm     | 54 x 46 mm (3x Ret)              |
| ASIC          | 17 x 13 mm                                                                           | 32 x 26 mm     | 33 x 26 mm        | 33 x 26 mm        | 22 x 27 mm     | (32 x 22 mm) x2                  |
| Si node       | 14 nm                                                                                | 12 nm          | 7 nm              | 5 nm              | 5 nm           | TV                               |
| Memory        | HBM2                                                                                 | HBM2           | HBM2/2E           | HBM2E/3           | HBM2           | HBM3 TV                          |
| Status        | LVM 2019                                                                             | HVM 2019       | HVM 2020          | HVM 2023          | HVM 2024       | Qualified                        |
| Floor plan    |  |                |                   |                   |                |                                  |

资料来源：安靠官网（截至 2024.5）

## 国内厂商：头部厂商积极布局 2.5D/3D 封装

国内厂商在 2.5D/3D 封装领域已有积极布局。国内具备 2.5D/3D 封装能力的厂商包括但不限于华天科技、盛合晶微、长电科技、通富微电、甬矽电子等。其中 2.5D 大多具备有机中介层方案（类似 CoWoS-R 方案），部分厂商开发了硅中介层（类似 CoWoS-S）和嵌入式硅桥（CoWoS-L）方案。

表 8：国内厂商 2.5D/3D 先进封装技术平台分类

|      | 类型                          | 技术平台  | 特点                                               |
|------|-----------------------------|-------|--------------------------------------------------|
| 盛合晶微 | 2.5D<br>硅中介层（Si interposer） | DOIOS | 支持最大合封芯片数 6 个，类似台积电 CoWoS-S、三星 I-Cube S 和 H-Cube |

|      | 类型                            | 技术平台                  | 特点                                                                                                                                                |
|------|-------------------------------|-----------------------|---------------------------------------------------------------------------------------------------------------------------------------------------|
| 长电科技 | 有机中介层 (RDL) / 超高密度扇出 (UHD FO) | Smartposer_OS         | 最小 RDL 线宽/线距 2/2 μm, 最大 RDL 堆叠层数 4P4M; 类似台积电 InFO_oS(L/S 2/2 μm, 6P6M)、日月光 FOCoS (L/S 1.5/1.5 μm, 5P5M)、安靠 SWIFT (L/S 2/2 μm, 4P4M)、长电科技 XDFOI_CL |
|      | 嵌入式硅桥 (Embedded Si Bridge)    | Smartposer_BD         | 硅桥互联的技术平台, 类似台积电 CoWoS-L                                                                                                                          |
|      | 3D                            | DOIOS_A               | 3D 堆叠技术平台                                                                                                                                         |
|      | 硅中介层 (Si interposer)          | XDFOI-T (TSV)         | 方案开发完成, 类似台积电 CoWoS-S                                                                                                                             |
| 长电科技 | 有机中介层 (RDL) / 超高密度扇出 (UHD FO) | XDFOI-O (Organic RDL) | 已量产, 类似台积电 CoWoS-R                                                                                                                                |
|      | 嵌入式硅桥 (Embedded Si Bridge)    | XDFOI-B (Bridge Die)  | 方案开发完成, 类似台积电 CoWoS-L                                                                                                                             |
|      | 3D                            |                       | 已有相关布局                                                                                                                                            |
|      | 有机中介层 (RDL) / 超高密度扇出 (UHD FO) | VISionS               | 基于 Chip Last 工艺的 Fan-out 技术可以实现 5 层 RDL 超大尺寸封装 (65×65mm), 于 2023 年验证通过。可以支持 1Logic+6HBM、2* (1Logic+4HBM) 等结构。                                     |
| 通富微电 | 硅中介层 (Si interposer)          |                       | 已有布局                                                                                                                                              |
|      | 嵌入式硅桥 (Embedded Si Bridge)    |                       | 已有布局                                                                                                                                              |
|      | 3D 微凸块 (Microbump) +TSV       |                       | 已布局 3D 堆叠存储、HBM, 可以支持 HBM2 8Hi, 最多可达 12 层。                                                                                                        |
| 华天科技 | 有机中介层 (RDL) +硅基板              | eSiFO                 | 与传统的 molding Fan-out 采用 EMC 塑封料不同, 其使用硅基板为载体, 是在芯片表面和硅圆片表面构成了一个扇出面, 在这个面上进行多层布线, eSiFO 具有可控的翘曲度、高平整度的线路密度、可靠性的认证、制程简洁的工艺、良好的散热、轻薄的封装成品等优点。        |
|      | 2.5D 硅中介层                     |                       | 已有研发布局                                                                                                                                            |
|      | 微凸块 (Microbump) +TSV          | eSinC                 | SinC 可实现的封装尺寸最大可以达到 40mm×40mm, 倒装芯片 bump/pitch 尺寸最小可以做到 40 μm/70 μm, 互联 TSV 深宽比可以做到 5:1, 可提供至少 8 芯片的 3D 堆叠封装。                                     |
|      | 3D                            |                       |                                                                                                                                                   |

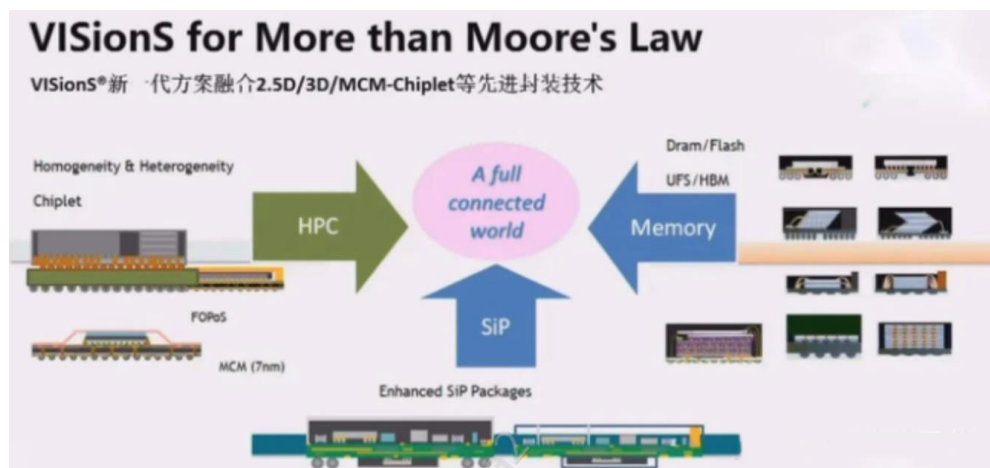
资料来源: 灼识咨询, 长电科技官网, 通富微电官网, 华天科技官网, 未来半导体, 中信证券研究部

以下我们选取了部分国内先进封测企业情况展开论述。

### 通富微电：紧跟国际及国内大客户步伐，2.5D/3D 均有技术布局

通富微电在 Chiplet、2.5D、3D 堆叠等先进封装方面均有布局和储备。通富微电针对 2.5D/3D 封装推出了 VISionS 先进封装技术平台。根据公司年报, 截至 2022 年底公司自建 2.5D/3D 产线全线通线, 1+4 产品及 4 层/8 层堆叠产品研发稳步推进; 公司研发了基于 Chip Last 工艺的 Fan-out 技术, 实现 5 层 RDL 超大尺寸封装 (65×65mm), 截至 2023 年底, 大尺寸多芯片 chip last 封装技术已验证通过; 公司还研发了超大多芯片 FCBGA MCM 技术, 实现最高 13 颗芯片集成及 100×100mm 以上超大封装。凭借 FCBGA、Chiplet 等先进封装技术优势, 不断强化与客户的深度合作, 满足客户 AI 算力等方面的需求。2024 年 2 月, 通富微电子有限公司举行三期项目启用暨 2.5D/3D 首台设备入驻仪式。

图 29：通富微电 ViSionS 先进封装技术平台



资料来源：未来半导体

通富微电在 HBM 领域研发布局，有望实现与头部客户深度合作。根据公司公告，2022 年公司完成用于高端服务器的三维堆叠存储器技术开发，实现多层堆叠的内存全流程存储功能测试。2023 年，公司公告 HBM 相关技术处于成长阶段，公司将积极开展相关研发布局、量产准备等前期工作。我们预计，随着技术实力的进步及与长鑫存储等客户的深度合作，公司在 HBM 领域有望实现加速成长。

图 30：通富微电的国产 Chiplet 产品



资料来源：艾邦半导体网微信公众号

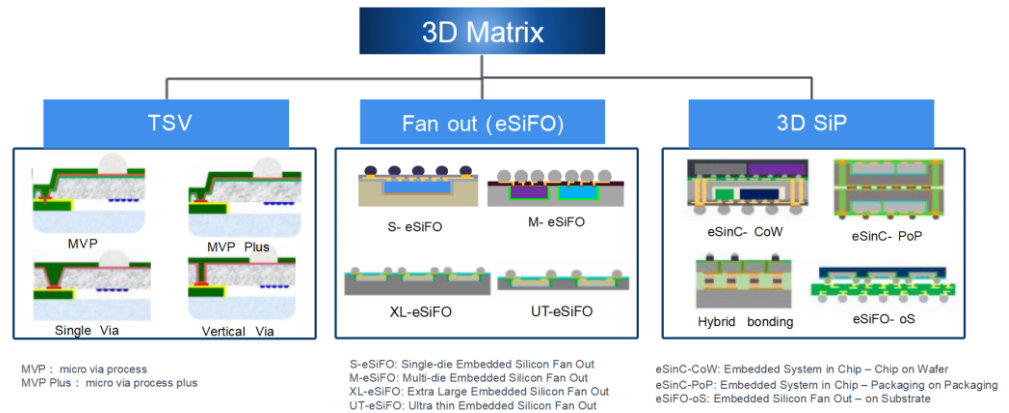
## 华天科技：积极自主创新布局 3D 晶圆级封装技术

华天科技的三维晶圆级封装平台为 3D Matrix，由 TSV、eSiFo（Fan-out）、3D SiP 三大封装技术构成。其中华天科技的 TSV 技术已量产十年有余，主要应用于图像传感器的封装，针对不同的传感器结构，如前照式结构 FSI、背照式 BSI、Stacked BSI、Triple Stack



BSI 都有不同的解决方案。

图 31：华天科技三维晶圆级封装平台——3DMatrix

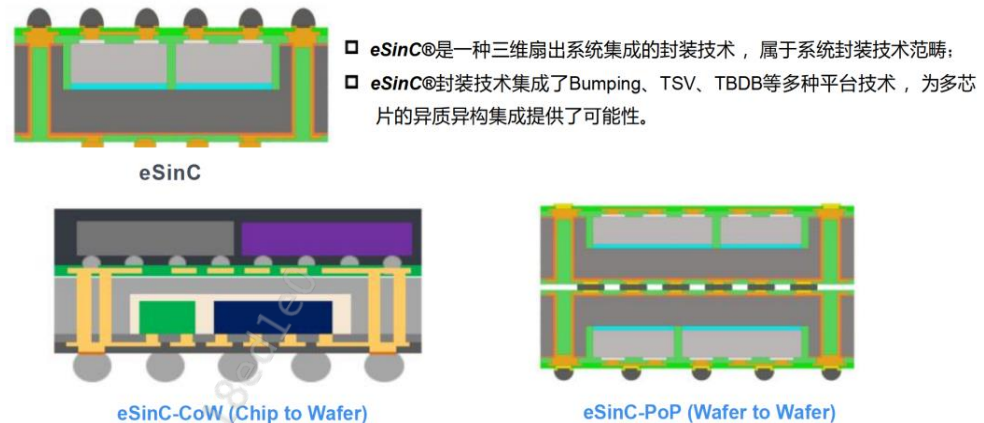


资料来源：华天科技，2022 年中国半导体封装测试技术与市场年会，转引自未来半导体

在扇出封装技术方面，华天科技的 eSiFO (embedded Silicon Fan-out) 硅基扇出封装具有完全自主知识产权。与传统的 molding Fan-out 采用 EMC 塑封料不同，其使用硅基板为载体，是在芯片表面和硅圆片表面构成了一个扇出面，在这个面上进行多层布线，eSiFO 具有可控的翘曲度、高平整度的线路密度、可靠性的认证、制程简洁的工艺、良好的散热、轻薄的封装成品等优点。eSiFO 目前已在电容式指纹传感器、射频芯片等客户处采用。

在三维系统集成封装 (3D SiP) 方面，华天科技基于 eSiFO 结合 TSV 技术开发了 eSinC 技术。eSinC (embedded System in Chip) 是一种三维扇出系统集成的封装技术，在硅基板上刻蚀形成凹槽，将不同芯片或元器件放入凹槽中，通过高密度 RDL 将芯片互连，形成扇出的 I/O 后制作 via last TSV 实现垂直互连。eSinC 可以将不同功能、不同种类和不同尺寸的器件实现 3D 方向高密度集成。eSinC 可实现的封装尺寸最大可以达到 40mm×40mm，倒装芯片 bump/pitch 尺寸最小可以做到 40 μm/70 μm，互联 TSV 深宽比可以做到 5:1，目前给客户出样的 3D 堆叠封装共集成 8 颗芯片，整体封装厚度小于 1mm。该技术的目标应用主要是 AI、IoT、5G 和处理器等众多领域。

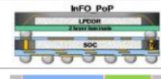
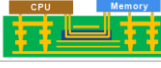
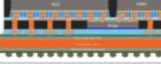
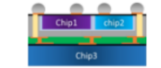
图 32：华天科技三维系统集成封装技术平台：eSinC 技术



资料来源：华天科技，2022 年中国半导体封装测试技术与市场年会，转引自未来半导体

eSinC 技术可对标台积电的 InFO-PoP 技术，eSiFO 技术可对标台积电的 InFO 以及日月光、长电科技等厂商的 eWLB 晶圆级封装技术。由于硅基载体的热膨胀系数、杨氏模量及热导率均优于塑封料，因此 eSinC 的晶圆翘曲会明显小于 InFO-PoP，且散热性能要明显好于 InFO-PoP 产品，eSiFO 也在上述指标好于传统的 eWLB 技术。根据公司 2023 年年报，公司正在研发基于 Silicon Interposer（硅中介层）的 2.5D 封装技术，有望应用于人工智能、大数据、高性能计算等高端产品中。

图 33：华天科技 eSinC 先进封装技术与其他厂商对比

| Technology      | Schematic                                                                           | Type                   | Remark                                                                                                                                                                                          |
|-----------------|-------------------------------------------------------------------------------------|------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| InFO, TSMC      |  | Fan-out / 3D           | molding, RDL 2/2um, high cost, TMV, high I/O, for AP/memory, volume production                                                                                                                  |
| CoWoS, TSMC     |  | 2D / 3D                | 10:1 TSV, Sub um RDLs, high cost, high I/O, interposer for CPU/GPU, volume production                                                                                                           |
| EMIB, Intel     |  | 2.5D / 3D              | no TSV, high-density interconnection, high I/O, low cost                                                                                                                                        |
| eWLB, STATSChip |  | Fan-out                | Molding method, KGD process, Volume production                                                                                                                                                  |
| FOCoS, ASE      |  | Fan-out                | Molding method, high I/O, KGD process, Volume production                                                                                                                                        |
| eSinC, HuaTian  |  | Chip Level Integration | embedded silicon, RDL with 8 um, 2:1 TSVs, KGD process, molding alternative, low warpage, low cost, higher I/O, better thermal performance, for Driver/ FPGA/ 5 G/ medical device, nearly ready |

资料来源：华天科技，2022 年中国半导体封装测试技术与市场年会，转引自未来半导体

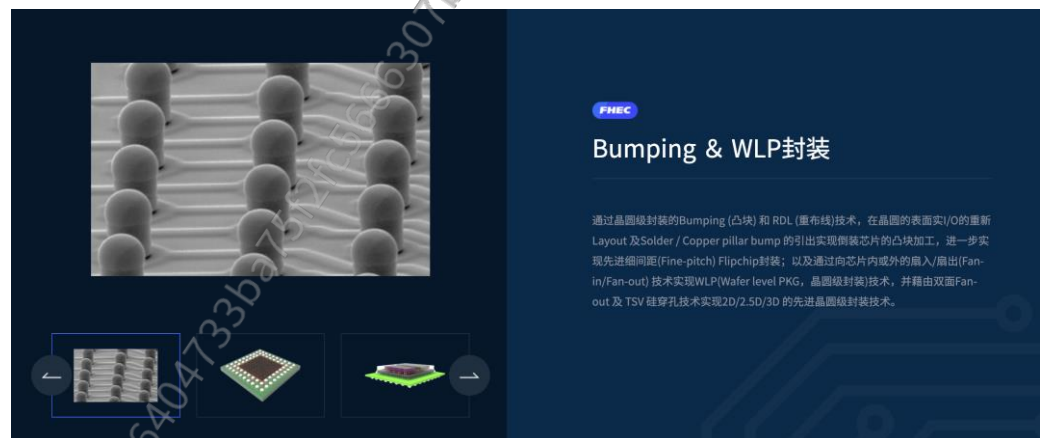
## 甬矽电子：二期工厂开展 2.5D/3D 先进封装产业化，已奠定工艺基础

甬矽电子拟发行可转债开展多维异构先进封装技术研发及产业化项目，布局 2.5D/3D 先进封装产能。根据公司公告，公司在二期工厂已布局 2.5D/3D 先进封装技术，将开展包括“晶圆级重构封装技术（RWLP）”、“多层布线连接技术（HCOS-OR）”、“高铜柱连接技术（HCOS-OT）”、“硅通孔连接板技术（HCOS-SI）”和“硅通孔连接板技术（HCOS-AI）”

等方向的研发和产业化，在完全达产后形成年封测扇出型封装（Fan-out）系列和 2.5D/3D 系列等多维异构先进封装产品 9 万片的生产能力。

**甬矽电子具备高密度微凸块 Bumping 和重布线 RDL 封装能力，为后续 2.5D/3D 封装奠定工艺基础。**根据公司公告，公司研发的 Bumping 先进封装技术，微凸块最小高度为 20um，最小凸块直径 20um，最小间距可达 34um，单晶粒(3mm\*3mm)上的凸块数量达到了 3000 个以上。公司研发的细线宽技术，最小线宽可达 5um，最小线间距可达 5um。借由先进的 Bumping 微凸块和 RDL 重布线技术，公司已实现多 RDL 布线层 Bumping 量产，并为后续 Fan-out（扇出式封装）和 2.5D/3D 封装奠定工艺基础。

图 34：甬矽电子具备 Bumping 和晶圆级封装能力，借助双面 Fan-out 和 TSV 可实现 2.5D/3D 晶圆级封装



资料来源：甬矽电子官网

## ■ 总结及投资策略

总体来看，国际前道制造厂商如台积电、英特尔等正在引领 2.5D/3D 封装技术前沿，封测厂商如日月光、安靠等也在 2.5D 封装已有建树，国内厂商积极追赶。从工艺布局来看，前道制造厂商大多主攻 TCB 热压键合和混合键合工艺，且积极研发 3D 封装能力。封测厂商当前则更加聚焦在 2.5D（自身以有机 RDL 方案布局较多，硅中介层方案与晶圆厂配合协同）乃至后道 oS 和测试环节上。如此一来前道厂商与封测厂商仍然具备较大的互补合作空间。台积电也已与第三方封测厂商开展合作，通过 oS 和测试工序外包的方式，快速扩充 CoWoS 产能。由于 2.5D/3D 方案具有较高度定制特征、需要较强的设计方案整合能力，头部芯片设计客户的牵引促进作用不可忽视。

先进封装是当前半导体行业发展的明确技术方向，市场需求及国产替代空间巨大，随着高性能计算的发展，相关需求有望持续增长。技术涵盖及性能表现是行业的核心逻辑。建议从以下三个角度精选技术领先、业绩增长高确定性个股。

**（1）技术实力为核心，关注龙头标的。**制造和封测类公司重资产属性强，企业往往需要长期资金投入，先进封装发展由于需要较高的技术门槛和资本投入，聚焦头部企业。以国内技术完整性及能力来看，**建议优先关注中芯国际、长电科技、通富微电、华天科技、**

甬矽电子等。此外，海外晶圆制造巨头引领先进封装行业，打造晶圆制造到封装测试一条龙产品线，不仅提高利润水平，客户依赖度也加大，国际厂商可重点关注台积电，英特尔、联电、日月光、安靠等亦有相关布局。

(2) 设备打入供应链，推荐国产替代及细分龙头。先进封装设备材料需求包括刻蚀机、光刻机、PVD/CVD、涂胶显影设备、清洗设备、测试机等，国内的厂商仍在快速发展阶段，未来替代空间仍大，建议关注技术领先的细分龙头。当前建议关注北方华创、拓荆科技、盛美上海、中微公司、芯源微、华海清科等。此外，目前仍然是海外巨头把持高端2.5D/3D 封装设备，国际厂商可关注库力索法半导体、ASM Pacific、Besi、Camtek 等。

## ■ 风险因素

全球宏观经济低迷风险；

下游需求不及预期；

创新不及预期；

技术研发不及预期；

国际产业环境变化和贸易摩擦加剧风险；

汇率大幅波动等。



## ■ 相关研究

- 电子行业半导体设备跟踪点评—美国拟长臂管辖日、荷企业，设备国产化有望持续加速 (2024-07-19)
- 电子行业 AI 终端系列报告—拥抱端侧 AI，看好果链及 AIoT 成长机遇 (2024-07-18)
- 电子行业跟踪点评—从慕尼黑电子展看利基存储/MCU 板块发展趋势 (2024-07-16)
- 电子行业半导体行业跟踪点评—2024 年国内半导体设备市场料继续引领全球，关注新品拓展和先进产能增量 (2024-07-11)
- 消费电子行业跟踪点评—iPhone 供应链各环节受益弹性测算 (2024-07-09)
- 电子行业 2024 年下半年投资策略—重点关注端侧 AI、出海增量、国产自立三大方向(2024-07-07)
- 电子行业半导体重大事项点评—美国对中国半导体投资限制的影响分析 (2024-06-24)
- 消费电子行业重大事项点评—如何看苹果 AI 后续升级方向？ (2024-06-21)
- 电子行业 24Q2 业绩展望—Q2 行业复苏趋势确立，AI 创新拐点到来 (2024-06-18)
- 电子行业模拟芯片系列深度报告（五）—关注高端突破和行业整合两条主线 (2024-06-17)
- 电子行业半导体封测行业跟踪—封测需求底部复苏明确，涨价趋势有望蔓延(2024-06-17)
- 电子行业 2024 年下半年投资策略—重点关注端侧 AI、出海增量、国产自立三大方向 (PPT) (2024-06-14)
- 消费电子行业重大事项点评—苹果发布 Apple Intelligence，跨应用信息整合能力亮眼 (2024-06-12)
- 电子模拟芯片系列深度报告（四）—车灯 LED 驱动：受益汽车照明全方位升级 (2024-06-05)
- 电子行业半导体重大事项点评—大基金三期启航，着眼长效目标解决卡脖子问题(2024-05-28)
- 电子行业专题研究—消费电子产业链现状及展望 (2024-05-25)
- 电子行业重大事项点评—美国加征关税对中国半导体产业影响有限 (2024-05-16)
- 电子行业重大事项点评—从科技巨头 AI 发布会看端侧 AI 落地前景 (2024-05-16)
- 电子行业 2024 年一季报总结——季度在低基数下高成长，利润端增长更优 (2024-05-07)
- 模拟芯片系列深度报告（三）—电荷泵是手机快充主流方案，  
三大产业趋势助力需求扩张 (2024-05-07)
- 电子行业 24Q1 基金重仓分析专题—行业配置比例下降，重仓集中度有所提升 (2024-05-01)
- 电子行业全球半导体板块跟踪—行业复苏曙光初现，AI 景气持续拉动成长 (2024-04-25)
- 电子行业存储板块专题—AI 时代的存力腾飞，HBM 与传统存储共振 (2024-04-17)
- 电子行业半导体 2024 年二季度投资策略—复苏拐点渐近，聚焦国产及创新增量（PPT） (2024-04-17)
- 电子行业智能手机跟踪报告—短期关注安卓新品拉货，中长期看 AI 渗透 (2024-04-16)

- 电子行业面板行业跟踪点评—3月电视面板加快上涨，看好供给向大陆龙头集中及利润释放 (2024-04-03)
- 电子行业半导体设备跟踪点评—SEMICON 热度不减，国产替代加速推进 (2024-04-02)
- 电子行业 MR 专题—如何理解 Apple Vision Pro 这一产品以及对苹果的意义？ (2024-04-01)
- 电子行业半导体专题—产业链安全再平衡：本土集成电路制造的发展机遇与挑战 (PPT) (2024-04-01)
- 电子行业业绩展望——一张图汇总部分上市公司 24Q1 业绩前瞻 (PPT) (2024-03-27)
- 电子行业 PCB 行业点评—数通 AI 算力助力 PCB 成长周期 (2024-03-13)
- 电子行业周期研究专题—从海内外财报看终端需求：2024H1 复苏，H2 成长，关注 AI 等创新 (2024-03-10)
- 电子行业激光雷达行业点评—智能化趋势向好，看好激光雷达产业发展机遇 (2024-03-05)
- 电子行业半导体重大事项点评—美国对华半导体制裁加码，重视国产化投资机会 (2024-02-26)
- 电子行业重大事项点评—英伟达发布 Chat with RTX 加速助力 AI PC (2024-02-21)
- 科技产业跟踪报告—Apple Vision Pro 核心问题七问七答 (2024-02-20)
- 电子行业景气度盘点—电子行业 1 月超跌，布局基本面，关注创新力 (2024-02-20)
- 电子行业 23Q4 基金重仓分析专题—行业配置比例创新高，消费电子增配明显 (PPT) (2024-02-07)

## 分析师声明

主要负责撰写本研究报告全部或部分内容的分析师在此声明：(i) 本研究报告所表述的任何观点均精准地反映了上述每位分析师个人对标的证券和发行人的看法；(ii) 该分析师所得报酬的任何组成部分无论是在过去、现在及将来均不会直接或间接地与研究报告所表述的具体建议或观点相联系。

## 一般性声明

本研究报告由中信证券股份有限公司或其附属机构制作。中信证券股份有限公司及其全球的附属机构、分支机构及联营机构（仅就本研究报告免责条款而言，不含 CLSA group of companies），统称为“中信证券”。

本研究报告对于收件人而言属高度机密，只有收件人才能使用。本研究报告并非意图发送、发布给在当地法律或监管规则下不允许向其发送、发布该研究报告的人员。本研究报告仅为参考之用，在任何地区均不应被视为买卖任何证券、金融工具的要约或要约邀请。中信证券并不因收件人收到本报告而视其为中信证券的客户。本报告所包含的观点及建议并未考虑个别客户的特殊状况、目标或需要，不应被视为对特定客户关于特定证券或金融工具的建议或策略。对于本报告中提及的任何证券或金融工具，本报告的收件人须保持自身的独立判断并自行承担投资风险。

本报告所载资料的来源被认为是可靠的，但中信证券不保证其准确性或完整性。中信证券并不对使用本报告或其所包含的内容产生的任何直接或间接损失或与此有关的其他损失承担任何责任。本报告提及的任何证券或金融工具均可能含有重大的风险，可能不易变卖以及不适合所有投资者。本报告所提及的证券或金融工具的价格、价值及收益可跌可升。过往的业绩并不能代表未来的表现。

本报告所载的资料、观点及预测均反映了中信证券在最初发布该报告日期当日分析师的判断，可以在不发出通知的情况下做出更改，亦可因使用不同假设和标准、采用不同观点和分析方法而与中信证券其它业务部门、单位或附属机构在制作类似的其他材料时所给出的意见不同或者相反。中信证券并不承担提示本报告的收件人注意该等材料的责任。中信证券通过信息隔离墙控制中信证券内部一个或多个领域的信息向中信证券其他领域、单位、集团及其他附属机构的流动。负责撰写本报告的分析师的薪酬由研究部门管理层和中信证券高级管理层全权决定。分析师的薪酬不是基于中信证券投资银行收入而定，但是，分析师的薪酬可能与投行整体收入有关，其中包括投资银行、销售与交易业务。

若中信证券以外的金融机构发送本报告，则由该金融机构为此发送行为承担全部责任。该机构的客户应联系该机构以交易本报告中提及的证券或要求获悉更详细信息。本报告不构成中信证券向发送本报告金融机构之客户提供的投资建议，中信证券以及中信证券的各个高级职员、董事和员工亦不为（前述金融机构之客户）因使用本报告或报告载明的内容产生的直接或间接损失承担任何责任。

## 评级说明

| 投资建议的评级标准                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |      | 评级   | 说明                            |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|-------------------------------|
| 报告中投资建议所涉及的评级分为股票评级和行业评级（另有说明的除外）。评级标准为报告发布日后 6 到 12 个月内的相对市场表现，也即：以报告发布日后的 6 到 12 个月内的公司股价（或行业指数）相对同期相关证券市场代表性指数的涨跌幅作为基准。其中：A 股市场以沪深 300 指数为基准，新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准；中国香港市场以摩根士丹利中国指数为基准；美国市场以纳斯达克综合指数或标普 500 指数为基准；韩国市场以韩国 KOSDAQ 指数或 KOSPI 指数为基准；日本市场以日经 225 指数为基准；中国台湾市场以台湾加权指数为基准；法国市场以法国 CAC 40 指数为基准；意大利市场以意大利富时 MIB 指数为基准；德国市场以德国 DAX 指数为基准；瑞士市场以瑞士 SMI 指数为基准；英国市场以英国富时 100 指数为基准；新加坡市场以新加坡海峡时报指数为基准；泰国市场以泰国 SET 指数为基准；印度尼西亚市场以印度尼西亚 JCI 指数为基准；马来西亚市场以富时大马吉隆坡综合指数为基准；巴西市场以巴西 IBOVESPA 指数为基准。 | 股票评级 | 买入   | 相对同期相关证券市场代表性指数涨幅 20%以上       |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |      | 增持   | 相对同期相关证券市场代表性指数涨幅介于 5%~20%之间  |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |      | 持有   | 相对同期相关证券市场代表性指数涨幅介于-10%~5%之间  |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |      | 卖出   | 相对同期相关证券市场代表性指数跌幅 10%以上       |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | 行业评级 | 强于大市 | 相对同期相关证券市场代表性指数涨幅 10%以上       |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |      | 中性   | 相对同期相关证券市场代表性指数涨幅介于-10%~10%之间 |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |      | 弱于大市 | 相对同期相关证券市场代表性指数跌幅 10%以上       |

## 特别声明

在法律许可的情况下, 中信证券可能(1)与本研究报告所提到的公司建立或保持顾问、投资银行或证券服务关系,(2)参与或投资本报告所提到的公司的金融交易, 及/或持有其证券或其衍生品或进行证券或其衍生品交易, 因此, 投资者应考虑到中信证券可能存在与本研究报告有潜在利益冲突的风险。本研究报告涉及具体公司的披露信息, 请访问 <https://research.citics.com/disclosure>。

## 法律主体声明

本研究报告在中华人民共和国(香港、澳门、台湾除外)由中信证券股份有限公司(受中国证券监督管理委员会监管, 经营证券业务许可证编号: Z20374000)分发。本研究报告由下列机构代表中信证券在相应地区分发: 在中国香港由 CLSA Limited (于中国香港注册成立的有限公司) 分发; 在中国台湾由 CL Securities Taiwan Co., Ltd. 分发; 在澳大利亚由 CLSA Australia Pty Ltd. (商业编号: 53 139 992 331/金融服务牌照编号: 350159) 分发; 在美国由 CLSA (CLSA Americas, LLC 除外) 分发; 在新加坡由 CLSA Singapore Pte Ltd. (公司注册编号: 198703750W) 分发; 在欧洲经济区由 CLSA Europe BV 分发; 在英国由 CLSA (UK) 分发; 在印度由 CLSA India Private Limited 分发(地址: 8/F, Dalamal House, Nariman Point, Mumbai 400021; 电话: +91-22-66505050; 传真: +91-22-22840271; 公司识别号: U67120MH1994PLC083118); 在印度尼西亚由 PT CLSA Sekuritas Indonesia 分发; 在日本由 CLSA Securities Japan Co., Ltd. 分发; 在韩国由 CLSA Securities Korea Ltd. 分发; 在马来西亚由 CLSA Securities Malaysia Sdn Bhd 分发; 在菲律宾由 CLSA Philippines Inc. (菲律宾证券交易所及证券投资者保护基金会) 分发; 在泰国由 CLSA Securities (Thailand) Limited 分发。

## 针对不同司法管辖区的声明

**中国大陆:** 根据中国证券监督管理委员会核发的经营证券业务许可, 中信证券股份有限公司的经营经营范围包括证券投资咨询业务。

**中国香港:** 本研究报告由 CLSA Limited 分发。本研究报告在香港仅分发给专业投资者(《证券及期货条例》(香港法例第 571 章)及其下颁布的任何规则界定的), 不得分发给零售投资者。就分析或报告引起的或与分析或报告有关的任何事宜, CLSA 客户应联系 CLSA Limited 的罗鼎, 电话: +852 2600 7233。

**美国:** 本研究报告由中信证券制作。本研究报告在美国由 CLSA (CLSA Americas, LLC 除外) 仅向符合美国《1934 年证券交易法》下 15a-6 规则界定且 CLSA Americas, LLC 提供服务的“主要美国机构投资者”分发。对身在美国的任何人士发送本研究报告将不被视为对本报告中所评论的证券进行交易的建议或对本报告所述任何观点的背书。任何从中信证券与 CLSA 获得本研究报告的接收者如果希望在美国交易本报告中提及的任何证券应当联系 CLSA Americas, LLC (在美国证券交易委员会注册的经纪交易商), 以及 CLSA 的附属公司。

**新加坡:** 本研究报告在新加坡由 CLSA Singapore Pte Ltd., 仅向(新加坡《财务顾问规例》界定的)“机构投资者、认可投资者及专业投资者”分发。就分析或报告引起的或与分析或报告有关的任何事宜, 新加坡的报告收件人应联系 CLSA Singapore Pte Ltd, 地址: 80 Raffles Place, #18-01, UOB Plaza 1, Singapore 048624, 电话: +65 6416 7888。因您作为机构投资者、认可投资者或专业投资者的身份, 就 CLSA Singapore Pte Ltd. 可能向您提供的任何财务顾问服务, CLSA Singapore Pte Ltd 豁免遵守《财务顾问法》(第 110 章)、《财务顾问规例》以及其下的相关通知和指引 (CLSA 业务条款的新加坡附件中证券交易服务 C 部分所披露) 的某些要求。MCI (P) 042/11/2022。

**加拿大:** 本研究报告由中信证券制作。对身在加拿大的任何人士发送本研究报告将不被视为对本报告中所评论的证券进行交易的建议或对本报告中所载任何观点的背书。

**英国:** 本研究报告归属于营销文件, 其不是按照旨在提升研究报告独立性的法律要件而撰写, 亦不受任何禁止在投资研究报告发布前进行交易的限制。本研究报告在英国由 CLSA (UK) 分发, 且针对由相应本地监管规定所界定的在投资方面具有专业经验的人士。涉及到的任何投资活动仅针对此类人士。若您不具备投资的专业经验, 请勿依赖本研究报告。对于英国分析员编纂的研究资料, 其由 CLSA (UK) 制作并发布。就英国的金融行业准则, 该资料被制作并意图作为实质性研究资料。CLSA (UK) 由(英国)金融行为管理局授权并接受其管理。

**欧洲经济区:** 本研究报告由荷兰金融市场管理局授权并管理的 CLSA Europe BV 分发。

**澳大利亚:** CLSA Australia Pty Ltd (“CAPL”) (商业编号: 53 139 992 331/金融服务牌照编号: 350159) 受澳大利亚证券与投资委员会监管, 且为澳大利亚证券交易所及 CHI-X 的市场参与主体。本研究报告在澳大利亚由 CAPL 仅向“批发客户”发布及分发。本研究报告未考虑收件人的具体投资目标、财务状况或特定需求。未经 CAPL 事先书面同意, 本研究报告的收件人不得将其分发给任何第三方。本段所称的“批发客户”适用于《公司法(2001)》第 761G 条的规定。CAPL 研究覆盖范围包括研究部门管理层不时认为与投资者相关的 ASX All Ordinaries 指数成分股、离岸市场上市证券、未上市发行人及投资产品。CAPL 寻求覆盖各个行业中与其国内及国际投资者相关的公司。

**印度:** CLSA India Private Limited, 成立于 1994 年 11 月, 为全球机构投资者、养老基金和企业提供股票经纪服务(印度证券交易委员会注册编号: INZ000001735)、研究服务(印度证券交易委员会注册编号: INH000001113)和商人银行服务(印度证券交易委员会注册编号: INM000010619)。CLSA 及其关联方可能持有标的公司的债务。此外, CLSA 及其关联方在过去 12 个月内可能已从标的公司收取了非投资银行服务和/或非证券相关服务的报酬。如需了解 CLSA India “关联方”的更多详情, 请联系 Compliance-India@clsa.com。

**马来西亚:** 本研究报告由中信证券制作。对身在马来西亚的任何人士发送本研究报告将不被视为对本报告中所评论的证券进行交易的建议或对本报告中所载任何观点的背书。

未经中信证券事先书面授权, 任何人不得以任何目的复制、发送或销售本报告。

中信证券 2024 版权所有。保留一切权利。